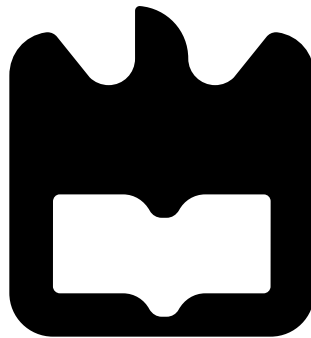




**Emanuel
Moura Cabral**

**Unidade Interior de Receptor de Satélites
Baseado em kit Rádio Digital**





**Emanuel
Moura Cabral**

**Unidade Interior de Receptor de Satélites
Baseado em kit Rádio Digital**

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica, realizada sob a orientação científica do professor Dr. Armando Rocha, Professor auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro

O júri

Presidente

Professor Doutor José Fernando da Rocha Pereira
Professor Associado da Universidade de Aveiro

Orientador

Professor Doutor Armando Carlos Domingues Rocha
Professor Auxiliar da Universidade de Aveiro (orientador)

Vogal

Professor Doutor Victor Daniel Neto dos Santos
Professor Adjunto Convidado do Instituto Superior de Engenharia de Coimbra

agradecimentos

Em primeiro lugar, gostaria de agradecer ao Prof. Dr. Armando Rocha, meu orientador, que sempre se mostrou disponível no decorrer do trabalho, incentivando-me e ajudando-me a ultrapassar os problemas, sem a sua ajuda, este trabalho não teria sido de todo possível. Agradeço pela sua paciência, dedicação e simpatia.

Ao Sr. Paulo Gonçalves, técnico do Instituto de Telecomunicações, que me deu uma grande auxílio na implementação das PCB's e na soldagem dos componentes mais delicados.

Ao Emanuel Ornelas, que tendo uma tese incluída no mesmo âmbito da minha, me ajudou a ultrapassar algumas dificuldades técnicas.

Sendo também este trabalho o culminar de toda uma vida académica, quero aqui mostrar o meu agradecimento sincero às pessoas mais importantes para mim, que sempre me indicaram o caminho correcto:

Aos meus pais e irmãs que sempre me ajudaram em tudo o que foi necessário, tendo sempre uma palavra de apoio nos momentos mais complicados. Quero incluir também os familiares mais próximos que também sempre acreditaram em mim.

Aos meus colegas de curso e amigos por me aturarem e apoiarem no decorrer destes tempos, obrigado pela amizade, alegria e companheirismo.

Palavras-Chave

Comunicações por satélite, Propagação, sistemas RF, receptor *beacon*, síntese de frequência, PLL.

Resumo

As Telecomunicações via satélite, estabelecidas efectivamente na década de 60, já se encontram num estado de maturação avançado. No entanto, tal como acontece em todo o universo tecnológico, existe sempre por onde melhorar e evoluir. Exemplo disso é a apetência pelas bandas de frequência mais elevadas (superiores a 30GHz) que apresentam ainda uma utilização relativamente reduzida.

Assim, de modo a poder ser feito um melhor aproveitamento destas bandas a nível comercial, têm vindo a ser efectuados vários testes de viabilidade. Neste contexto, o satélite Alphasat da ESA, a ser lançado em 2012, transportará um módulo com *beacons* nas bandas Q e V, o TDP5. O principal objectivo destes *beacons* é permitir a obtenção de mais informação acerca da propagação a estas frequências.

Este trabalho encontra-se integrado na campanha de medidas previstas do *beacon* na banda Q (39,4GHz), mais especificamente na parte do receptor do sinal. Pretende-se implementar o *hardware* de conversão do sinal, para um frequência e potência que possibilitem a detecção e análise pelo processador digital de sinal (um Rádio definido por *Software* - USRP). Tentou-se desenhar um *hardware* para a 1ª IF e seguintes versátil, com a última IF controlada pelo software do USRP. Todo o processo de desenvolvimento, testes e análise do referido *frontend* será aqui abordado.

Keywords

Satellite communications, propagation, RF systems, *beacon* receiver, frequency synthesis, PLL.

Abstract

The satellite telecommunications, actually established in the 60's have reached an advanced state of maturity. However, as seen within the entire technological universe, there is always room for enhancement and evolution. The target now is to explore higher frequency bands (above 30GHz) which have been used to a lesser extent.

Thus, in order to improve the use of these bands on a commercial level, several viability tests are being carried out. In this context, the Alphasat, to be launched in 2012 by ESA, will carry onboard a payload module with beacons at Q and V bands, the TDP5. The main purpose of these beacons is to allow the gathering of more information about the propagation channel at these frequencies.

This work is integrated in a measurement campaign of the Q band (39.4 GHz) beacon, more specifically at the signal receiver end. Is intended to implement the hardware responsible for the conversion and amplification of the signal to a frequency and power which enables the detection and analysis by a digital sampling system (a Software Defined Radio USRP). We tried to make a compact and very versatile hardware from the 1st to a second one, where the last IF is controlled by the USRP software. The whole development process, testing and examination of the frontend will be explained here.

Conteúdo

Conteúdo	i
Lista de Tabelas	v
Lista de Figuras	vii
Lista de Acrónimos	xi
1 Introdução	1
1.1 Comunicações por Satélite	1
1.1.1 Fenomenologia da Propagação	3
1.1.2 Campanhas de Medida do Canal Rádio	3
1.1.2.1 Alphasat	4
1.2 Organização da Dissertação	4
2 Receptor de Propagação	7
2.1 Descrição das Características Gerais de um Padrão de Satélite	7
2.2 Descrição Breve de um Receptor de Propagação	8
2.2.1 Características Desejáveis	8
2.3 Estado da Arte	9
2.4 Universal Software Radio Peripheral - USRP	11
2.5 Objectivos	12
3 PLL (Phase Locked Loop)	13
3.1 Introdução/Aplicações	13
3.2 PLL	14
3.3 Blocos Constituintes	15
3.3.1 VCO (Voltage Controlled Oscillator)	15
3.3.2 Detector de Fase	15
3.3.3 Detector de Fase-Frequência	15
3.3.4 Filtros de Malha	16
3.4 Características da PLL	16

3.4.1	Aquisição (LB) de Sincronismo	16
3.5	Ruído de Fase (conceito)	18
3.5.1	Ruído de Fase numa PLL	20
3.5.1.1	Matematicamente	22
4	Oscilador e Sintetizadores	25
4.1	Osciladores Analógicos	25
4.1.1	Princípio de Funcionamento	25
4.1.2	Tipos de Osciladores mais Comuns	26
4.1.3	Caracterização do Desempenho	27
4.2	Oscilador a Cristal	28
4.3	NCO/DDS: Sintetizador Digital	29
4.3.1	Funcionamento	30
4.3.2	Caracterização do Sinal de Saída	32
4.3.2.1	Ruído de Fase do Sinal Sintetizado	33
4.4	Síntese de Frequência	33
4.4.1	Teoria de Síntese	34
4.4.2	Tipos de PLL	34
4.4.3	Arquitecturas	36
5	Projecto e Desenvolvimento	41
5.1	Análise de Link Budget do Sistema a Implementar	41
5.1.1	Análise Preliminar	42
5.1.2	Balanceamento do Ganho	46
5.1.3	Parâmetros ao Longo da Linha	48
5.1.4	Conclusões	49
5.2	Filtros	50
5.2.1	Filtro para os 2GHz	50
5.2.2	Filtro para os 10.7MHz	53
5.3	Mixer de Rejeição de Imagem	55
5.4	Amplificadores	59
5.4.1	Amplificadores para a IF_1	59
5.4.2	Amplificadores para a IF_2	61
5.5	Oscilador de Referência	62
5.6	Unidade de Síntese	62
5.6.1	Requisitos do Sistema	63
5.6.2	Pesquisa do Mercado	63
5.6.2.1	Sintetizadores	64
5.6.2.2	DDS's	64

5.6.2.3	Osciladores Analógicos (VCO)	65
5.6.3	Implementação	65
5.6.3.1	Chip PLL	65
5.6.3.2	Filtro de Malha	70
5.6.3.3	VCO	72
5.6.3.4	Expansão para DDS	73
5.6.4	Interação com o USRP	74
5.7	Layout	75
6	Testes e Avaliação do Desempenho	77
6.1	Placa Relativa à IF_1/IF_2	77
6.1.1	Filtragem	77
6.1.1.1	Filtro de Linhas Acopladas	77
6.1.1.2	Filtro a Cristal	79
6.1.2	Amplificação	80
6.2	Placa Relativa à Unidade de Síntese	81
6.2.1	Análise dos Espectros Sintetizados	81
6.3	Análise Geral	86
6.3.1	Rejeição de Imagem no Misturador	87
6.3.2	Espectro de Saída	87
6.3.3	Linearidade	88
7	Conclusões e Trabalho Futuro	91
	Bibliografia	93
A	Esquemáticos dos Circuitos	97

Lista de Tabelas

5.1	Especificações do <i>Downconverter</i>	42
5.2	Valores de alguns parâmetros ao longo da linha.	48
5.3	Características dos amplificadores da IF_1	59
5.4	Características dos amplificadores da IF_2	61
5.5	Sumário dos registos do ADF4153	68
5.6	Ruído de fase do oscilador de referência vs VCO (a 2GHz)	71
6.1	Valores medidos do Ruído de fase do OCXO	82
6.2	Valores medidos do ruído de fase da PLL	86

Lista de Figuras

1.1	Arquitectura do módulo experimental TDP5.	4
2.1	<i>Motherboard</i> do USRP com duas placas Basic RX	11
3.1	Diagrama de blocos de uma PLL genérica.	13
3.2	Representação de uma PLL como blocos das funções de transferência.	14
3.3	Limites dinâmicos numa PLL.	18
3.4	Formas de onda durante a aquisição. u_1 - erro de fase; u_2 - erro de frequência.	18
3.5	Gráfico ilustrativo do conceito "Ruído de Fase".	20
3.6	Regiões típicas para o erro de fase numa PLL.	21
3.7	Modelo do ruído de fase numa PLL.	22
4.1	Diagrama de blocos de um oscilador genérico.	25
4.2	Representação esquemática de um oscilador de <i>Colpitts</i>	26
4.3	Representação esquemática de um oscilador de <i>Hartley</i>	27
4.4	Circuito RLC equivalente de um oscilador a cristal.	28
4.5	Comparação do espectro de um oscilador a cristal e um oscilador analógico comum.	29
4.6	Diagrama de blocos de uma DDS genérica.	30
4.7	Representação de uma "roda de fase" de um NCO.	31
4.8	Esquema representativo do funcionamento de uma DDS.	31
4.9	Espectro do sinal amostrado de saída de uma DDS.	32
4.10	Esquema representativo de uma PLL genérica.	34
4.11	Esquema representativo de uma PLL do tipo <i>Fractional N</i>	37
4.12	Esquema representativo de uma PLL do tipo <i>Dual Integer/Fractional N</i>	38
4.13	Esquema representativo de uma PLL do tipo <i>Dual Loop</i>	39
5.1	Diagrama de blocos de uma possível implementação para o sistema.	42
5.2	Diagrama de blocos representativo de uma cascata de factor de ruído.	44
5.3	<i>Beacon</i> TDP5 Q Band, potência recebida no solo para 90% do tempo anual.	46
5.4	Diagrama de blocos representativo da implementação do sistema.	47
5.5	Equivalente eléctrico da implementação do filtro passa-banda.	50

5.6	Ilustração esquemática do filtro <i>microstrip</i> implementado.	51
5.7	Filtro <i>microstrip</i> utilizado para os testes práticos.	52
5.8	Ilustração esquemática do filtro de linhas acopladas implementado.	52
5.9	Filtro de linhas acopladas utilizado para os testes práticos.	53
5.10	Filtro a cristal com o respectivo circuito ressonante.	54
5.11	Exemplo ilustrativo da formação de uma frequência imagem num processo de mistura de frequências.	55
5.12	Representação esquemática de uma possível implementação para um misturador de rejeição de imagem.	56
5.13	Circuito de alimentação de um MMIC.	60
5.14	Ruído de fase típico do oscilador a cristal utilizado.	62
5.15	Configuração dos pinos do <i>chip</i> PLL.	66
5.16	Atenuador resistivo em T utilizado.	67
5.17	Filtro de malha de 3 ^a ordem utilizado.	71
5.18	Configuração dos pinos do VCO utilizado.	72
5.19	Representação das perdas e valores da potência do sinal sintetizado usado como LO.	73
5.20	Esquema do filtro <i>Butterworth</i> de 6 ^a ordem utilizado.	74
5.21	<i>Layout</i> da placa relativa à unidade de síntese.	76
5.22	<i>Layout</i> da placa de condicionamento de sinal.	76
6.1	Ilustração esquemática do filtro <i>microstrip</i> impresso na PCB utilizada.	78
6.2	Medição dos parâmetros S_{21} e S_{11} do filtro de linhas acopladas.	78
6.3	Medição dos parâmetros S_{12} e S_{22} do filtro de linhas acopladas.	79
6.4	Medição do parâmetro S_{21} do filtro a cristal.	79
6.5	Medição do parâmetro S_{11} e S_{22} do filtro a cristal.	80
6.6	Espectro do Oscilador a Cristal.	81
6.7	Espectro utilizado para a medição do ruído de fase do OCXO.	82
6.8	VCO "livre".	83
6.9	Espectro do VCO tendo o gerador de sinais como referência.	83
6.10	Espectro do VCO tendo o OCXO como referência.	84
6.11	Espectro do VCO tendo o OCXO como referência (<i>spans</i> mais alargados).	84
6.12	Espectro do VCO tendo o OCXO como referência (após alteração no filtro de malha).	85
6.13	Comparação dos espectros para os dois filtros de malha.	85
6.14	Espectro utilizado para a medição do ruído de fase do sinal sintetizado.	86
6.15	Espectro de saída do sistema.	87
6.16	Janela de Visualização do sinal amostrado no USRP.	88
6.17	Teste de linearidade do sistema completo.	89
A.1	Esquemático da <i>daughterboard</i> da DDS.	97
A.2	Esquemático das placa de condicionamento de sinal.	98

A.3	Esquemático da placa relativa à unidade de síntese.	99
A.4	Disposição dos elementos na placa de condicionamento de sinal.	100
A.5	Disposição dos elementos na placa relativa à unidade de síntese.	101
A.6	Montagem completa das placas com o Oscilador de referência (OCXO) e USRP . . .	102
A.7	Visão global do sistema completo, e respectiva medição do espectro de saída. . . .	103

Lista de Acrónimos

ADC	Analog to Digital Converter
ADPLL	All Digital PLL
AGC	Automatic Gain Control
APLL	Analog Phase-Locked Loop
APLL	Analogic PLL
CNR	Carrier to Noise Ratio
CO	CoPolar
CP	Charge Pump
CW	Continuous Wave
CX	CrossPolar
DAC	Digital-to-Analogic Converter
DDS	Direct Digital Synthesis
DETI	Departamento de Electrónica, Telecomunicações e Informática
DPLL	Digital PLL
DRSP	Digital Receiver Signal Processors
DSP	Digital Signal Processor
EIRP	Equivalent Isotropic Radiated Power
ESA	European Spacial Agency
FF-DPLL	flip-flop DPLL
FLL	Frequency Locked Loop
FPGA	Field Programmable Gate Array
GSO	GeoStationary Orbit
HAPS	High Altitude Platform System
I2C	Inter-Integrated Circuit

IC	Integrated Circuit
ICO	Intermediate Circular Orbit
IF	Intermediate Frequency
IRM	Image Rejection Mixer
JFET	Junction gate Field Effect Transistor
LEO	Low Earth Orbit
LFCSP	Lead Frame Chip Scale Package
LL-DPLL	Lead-Lag DPLL
LO	Local Oscillator
MEO	Medium Earth Orbit
MMICs	Monolithic Microwave Integrated Circuits
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NCO	Numerically-Controlled Oscillator
NF	Noise Figure
NR-DPLL	Nyquist-rate DPLL
OCXO	Oven-Controlled Crystal Oscillator
OMT	Orthomode Transducer
OX	Cristal Oscillator
PCB	Printed Circuit Board
PFD	Phase-Frequency Detector
PLL	Phase Locked Loop
RBW	Resolution Bandwidth
RF	Radio-Frequência
RS 232	Recommended Standard 232
SDR	Software Defined Radio
SHF	Super High Frequency
SMA	Sub-Miniature version A
SNR	Signal to Noise Ratio
SPI	Serial Peripheral Interface
SPLL	Software Phase-Locked Loop

TCXO Temperature-Compensated Crystal Oscillator

TDP Technological Demonstration Payloads

TSSOP Thin-Shrink Small Outline Package

USRP Universal Software Radio Peripheral

VCO Voltage Controlled Oscillator

VCXO Voltage Controlled Cristal Oscillator

VHF Very High Frequency

VSWR Voltage Standing-Wave Ratio

XOR-DPLL ExclusiveOR DPLL

ZC-DPLL Zero-Crossing DPLL

Capítulo 1

Introdução

Desde a sua introdução em 1959, as comunicações satélite têm vindo a sofrer um grande desenvolvimento, sendo actualmente um dos principais meios de transmissão de informação, especialmente a difusão de televisão. Esta tecnologia veio abrir novos horizontes no mundo das comunicações.

Como se sabe, sinais que necessitem de transportar maior número de informação, acarretam a utilização de uma portadora de maior frequência. As transmissões via ondas rádio em bases Terra-Terra são limitadas, na medida em que não permitem alcances elevados para altas frequências. Deste modo, antes da introdução do satélite, era mandatória a utilização de cabos nas comunicações a grande distância de sinais com elevada taxa de transmissão. Os satélites, ao funcionarem como repetidores destes sinais com maior energia, vieram possibilitar a troca de informação a grandes distâncias via *wireless*.

No entanto, este tipo de comunicação acarreta a utilização de sistemas bastante complexos e com muita precisão, sendo desta forma muito dispendiosos. No processo de transmissão e recepção existem determinados factores que podem limitar ou mesmo inviabilizar a ligação. O desenvolvimento e implementação de qualquer sistema de comunicação satélite requer um conhecimento profundo desses factores. Neste âmbito, foi imperativo criar instrumentos que permitissem fazer os testes necessários de forma mais focalizada e eficaz.

Foi assim que nasceu o chamado *beacon* de satélite. Trata-se de um aparelho inserido em determinados satélites, cuja função reside, entre outras, em emitir sinais de teste habitualmente CW (Continuous Wave) em direcção a bases terrestres. Este método facilita a medição e análise da influência de determinados fenómenos no processo de propagação.

É neste argumento que esta dissertação se encontra inserida, estando focada essencialmente na área dos receptores do sinal *beacon*.

1.1 Comunicações por Satélite

Nos dias de hoje as comunicações por satélite desempenham um papel a vários níveis. Para além da mais conhecida multimédia, os satélites também são meios de transmissão de informação nas mais diversas áreas. Portanto, existem vários tipos de satélites, concebidos para utilização nos seguintes campos:

- **Satélites de Comunicação** (propriamente dita): Rádio, Televisão, Banda Larga, Telefone, etc;
- **Satélites Científicos**: Estudos da atmosfera, camada do ozono, calotes polares, desertificação, etc;

- **Satélites de Navegação:** Posicionamento GPS, Galileo;
- **Satélites Meteorológicos:** Monitorização de fenómenos meteorológicos, previsão do tempo;
- **Satélites de uso Militar:** Intercepção de informação, reconhecimento de terreno, etc;
- **Satélites Astronómicos:** Visualização de corpos celestes distantes do planeta;
- **Satélites dos Recursos Terrestres:** Cartografia, procura de petróleo, previsão de colheitas, etc;
- etc.

Conforme a especificação do satélite, este apresenta determinadas características, tais como: altitude, inclinação e excentricidade.

A altitude do satélite, tal como o nome indica, refere-se à distância a que este se encontra do solo. Existem os satélites LEO (Low Earth Orbit) com distâncias habitualmente compreendidas entre os 500km e os 1500km, os MEO (Medium Earth Orbit) ou ICO (Intermediate Circular Orbit) que se encontram geralmente entre os 8000km e os 18000km (em alguns casos superior, i.e o sistema GPS que apresenta os satélites a ± 20000 km) e finalmente os satélites GSO (GeoStationary Orbit) que são satélites colocados a distâncias de aproximadamente 36km, ficando num estado de equilíbrio geoestacionário [53]. A posição geoestacionária é a que apresenta mais satélites actualmente, devido ao facto de, a esta distância, o satélite se encontrar numa órbita constante sem grande dispêndio de energia. Apesar de necessitarem de correcções constantes para se manterem em órbita, os satélites com LEO e MEO, são imprescindíveis em muitas aplicações. Por exemplo, para observação terrestre, os satélites necessitam de estar muito mais próximos do solo. Outro dos factores que favorece os satélites com órbitas inferiores, é o facto de estes apresentarem perdas por atenuação muito inferiores em relação aos geoestacionários, permitindo assim a comunicação móvel por satélite.

O parâmetro inclinação, tem que ver com o número de graus em relação ao equador terrestre, a que o satélite se desloca. Neste contexto existem três tipos de órbitas principais: Órbita geoestacionária, polar e inclinada [4]. A órbita geoestacionária (também denominada órbita equatorial) é aquela que mantém o satélite a uma posição relativa à terra constante. É este tipo de órbitas que os satélites a maior altitude (GSO) normalmente apresentam. A órbita polar é aquela que passa por ambos os pólos do planeta a cada translação, ou seja, apresenta uma órbita a 90° em relação ao equador. Este tipo de órbitas é mais tipicamente utilizada por satélites de altitudes inferiores (LEO). As órbitas inclinadas apresentam um posicionamento oblíquo relativamente ao eixo terrestre. É o tipo de órbita mais frequente para os satélites de altitude intermédias (MEO).

Em termos de excentricidade, a órbita poderá ser circular, quando se apresenta em forma de um círculo perfeito, ou elíptica, quando varia a sua distância em relação à Terra, ao longo da translação.

Todas estas aplicações têm em comum o facto de serem constituídas por dois elementos: Uma base terrestre e um satélite, que podem desempenhar o papel de receptor ou emissor.

Para além dos satélites, existe outro tipo de plataforma de comunicação "aérea" que veio introduzir algumas funcionalidades impossíveis de realizar com satélites, os HAPS (High-Altitude Platform System). Este é um aparato de comunicações que se mantém relativamente estacionário a elevadas altitudes (± 20 kms). Por se encontrarem muito mais próximos da superfície terrestre que os satélites, os HAPS permitem executar tarefas como monitorização do tempo, informações de tráfego, comunicações móveis, etc, sem os grandes atrasos característicos nos satélites.

Concluindo, são vários os ramos do mundo da informação nos quais os satélites são utilizados. Dependendo da sua função, será escolhido um tipo de órbita na qual o satélite efectua a sua translação em redor do planeta. Existem também os HAPS que são dispositivos com características semelhantes e que vieram preencher algumas lacunas deixadas pelos satélites.

1.1.1 Fenomenologia da Propagação

Em qualquer comunicação satélite - base terrestre (e vice-versa), o sinal, ao entrar na atmosfera terrestre, sofre determinados efeitos provocados por elementos como as nuvens, gases atmosféricos, chuva, gelo, etc. Destes efeitos, destacam-se três mais relevantes: a atenuação, a despolarização e a cintilação.

A atenuação, especialmente nos casos em que o sinal apresenta uma potência reduzida, é um factor de grande peso na propagação. Esta atenuação pode ser provocada por absorção e/ou dispersão pelo oxigénio, gotas de água, nuvens e nevoeiro. O impacto que estes elementos têm na atenuação depende da frequência com que o sinal é transmitido. Por exemplo, a frequências entre os 55GHz e os 65GHz é o oxigénio que tem um maior peso na atenuação, por outro lado, a chuva tem um grande impacto para frequências desde os 10GHz [38].

Os sistemas que empreguem polarização ortogonal para aproveitar o espectro, poderão sofrer de auto-interferência através do fenómeno da despolarização. Ou seja, devido à despolarização, a componente principal de um sinal (Copolar (CO)) irá "desdobra-se" em outra (Crosspolar (CX)), que poderá vir a sobrepor-se ao outro sinal ortogonal. Este fenómeno é causado por camadas de gelo que se formam nas nuvens de elevada altitude e às gotas de água. É incrementado com o aumento da frequência.

O fenómeno da Cintilação consiste em flutuações rápidas e aleatórias em amplitude e em fase de um sinal. A existência de turbulência na troposfera é o factor com maior peso neste fenómeno [48]. É para sistemas que operam a ângulos de elevação menores que a cintilação é mais evidente e depende do tipo de AGC (Automatic Gain Control) que o dispositivo receptor possui.

Como se viu, estes são fenómenos que poderão provocar alterações profundas no sinal, pelo que têm obrigatoriamente de ser tidos em conta na implementação de qualquer sistema de comunicação por satélite. Para o efeito, é fundamental que sejam efectuadas medidas de propagação que permitam a modelação dos referidos fenómenos.

1.1.2 Campanhas de Medida do Canal Rádio

Como se viu anteriormente, de modo a conseguir-se um modelo fiável dos fenómenos da propagação, é necessário recorrer a processos contínuos de medição de sinal. Para tal, são usados *beacons* em determinados satélites. Existem *beacons* de várias naturezas, com vários intuitos, mas aqui serão apenas mencionados os dedicados à modelação do canal rádio. Estes *beacons* emitem um sinal com frequência fixa e portadora normalmente não modulada, e com potência bastante constante. É usual encontrar-se satélites que apresentam mais que um *beacon* para permitir a emissão a diferentes frequências.

Sabendo que o sinal emitido apresenta características constantes, torna-se mais fácil registar as alterações na frequência, polaridade e potência do sinal ao longo do tempo, numa base terrestre.

Neste âmbito, têm vindo a ser criados vários receptores com a função exclusiva de analisar este tipo de sinais. Os primeiros estudos nesta área iniciaram-se com o lançamento do primeiro satélite, o **Sputnik**, em 1957. Nessa altura, os estudos ainda eram muito limitados, uma vez que a tecnologia ainda não era muito avançada e os satélites utilizados eram de órbitas relativamente baixas. Com o aparecimento de satélites mais poderosos, estes estudos começaram a ser mais aprofundados. Por exemplo, já em 1974 foram feitos estudos exaustivos em relação à ionosfera [25], com o satélite **ATS-6**. Desde então, são vários os trabalhos desenvolvidos nesta área (i.e. [24],[39],[46],[22],[49]), relativos a diversas bandas de frequência e concentrados nos diferentes fenómenos.

Esta tese em particular, concentra-se no estudo dos efeitos da atmosfera na propagação de sinais na

banda Q. O *beacon* em questão estará incluído no satélite **Alphasat** da **Agência Espacial Europeia ESA**.

1.1.2.1 Alphasat

O satélite **Alphasat**, com data de lançamento prevista para inícios de 2012, é um projecto da **ESA** de âmbito alargado. O satélite em análise, apresentará vários TDP's (Technological Demonstration Payloads) que são emissores/receptores de contorno exclusivamente experimental, ou seja, os sinais que emitem ou recebem são usados apenas para testes. No total são 8 os TDP's que estão neste momento a ser desenvolvidos por diversas entidades. O *beacon* de interesse para este projecto está incluído no TDP5 tendo como promotor a **Space Engineering S.p.A**[1]. Na figura 1.1 está representada a arquitectura deste módulo experimental.

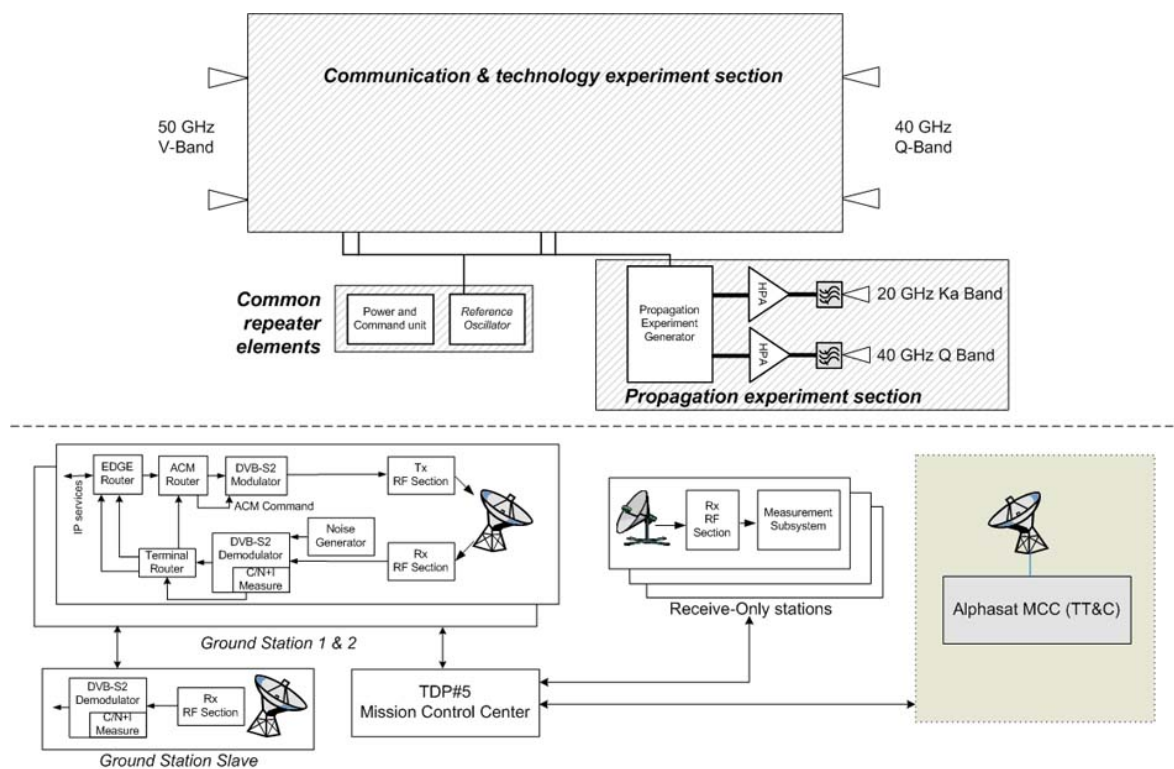


Figura 1.1: Arquitectura do módulo experimental TDP5.

Esta tese centra-se no *beacon* da banda Q presente na secção relativa às experiências de propagação. Segundo as especificações dadas pelo fabricante [14], o sinal será emitido a 39,402GHz, com um EIRP (Equivalent Isotropically Radiated Power) de 26,5dBW.

1.2 Organização da Dissertação

Dada esta breve introdução ao tema, segue-se uma descrição da organização da dissertação.

No capítulo seguinte, será feita um levantamento sintético do estado da arte na área dos receptores *beacon*, fazendo-se uma numeração dos objectivos propostos nesta tese.

O capítulo 3 será inteiramente dedicado ao tema PLL (Phase-Locked Loop), no qual será explicado o seu funcionamento, blocos constituintes e introduzir-se-á o ruído de fase.

Seguidamente, no capítulo 4 falar-se-á dos diferentes tipos de osciladores existentes e das suas características. A síntese de frequência também será aqui exposta com um pouco mais de detalhe.

Chega-se então ao capítulo do projecto e desenvolvimento (cap. 5). Aqui, tentou-se fazer uma descrição pormenorizada dos passos seguidos na elaboração prática deste projecto, expondo-se as diferentes opções possíveis e as escolhas tomadas. Começar-se-á por um estudo preliminar ao problema, passando-se para um análise mais específica. O capítulo terminará com uma exibição do sistema inteiramente montado.

Os testes efectuados bem como a avaliação de desempenho serão mostrados no capítulo 6. Neste capítulo recorrer-se-á abundantemente a imagens retiradas das medições práticas, de forma a ter-se uma apresentação mais abrangente dos resultados obtidos. Será também feita, neste ponto, uma análise crítica do desempenho do sistema implementado.

Finalmente, no capítulo 7 será feito um balanço final do trabalho, enumerando-se possíveis pontos a desenvolver/ melhorar.

Capítulo 2

Receptor de Propagação

2.1 Descrição das Características Gerais de um Padrão de Satélite

Qualquer padrão de satélite é constituído por pelo menos um satélite e uma base receptora na Terra. As características principais de um sinal emitido são: frequência, potência, ruído de fase, polarização e modulação.

A frequência pode ser considerado o parâmetro principal de um sinal. É pela frequência que se separam os diferentes canais de informação. Existem outros métodos de diferenciação dos sinais mas é a divisão ao longo do espectro de frequências o mais elementar e robusto.

A potência é outro dos factores de grande importância em qualquer sinal. Consoante a potência recebida, melhor ou pior será a relação sinal-ruído no sistema receptor. Mas o sinal não pode ser emitido com uma potência demasiado elevada, já que isso implicaria um dispêndio de energia muito alto pelo satélite, energia esta que não se encontra disponível no meio onde este se encontra. Além disso, o espectro de sinal está regulamentado de forma a não interferir com outros sistemas.

O sinal é afectado por oscilações de fase que ocorrem no sinal, o denominado ruído de fase. Estas flutuações são ditadas fundamentalmente pela qualidade dos osciladores de referência tanto do emissor, como do receptor. Quanto menor for o ruído de fase do sistema, mais estreito será o espectro do sinal, e consequentemente melhor a comunicação.

De forma a fazer um maior aproveitamento do espectro de frequências (*frequency reuse*), recorreu-se ao método da discriminação por polarização. Este método implica a utilização da mesma banda de frequências para dois sinais com polarizações ortogonais. Desta forma, na mesma frequência consegue-se transportar dois sinais com informação distinta. Poderá ser utilizada uma polarização linear ou circular [53].

A modulação do sinal é a forma utilizada para transportar a informação numa determinada frequência de portadora. Ou seja, é a transformação da forma de onda de um sinal em outra que seja mais favorável à transmissão. Existem imensos tipos de modulações, cada um indicado para determinada gama de frequências e tipo de informação a transmitir.

O propósito dos *beacons* não reside na transmissão de dados. São portanto normalmente emitidos com uma polarização determinada e não possuem qualquer modulação.

São estas as características principais de qualquer sinal emitido, todas elas alvo de análise do engenheiro do sistema de comunicação.

2.2 Descrição Breve de um Receptor de Propagação

Um receptor de propagação é um aparelho electrónico que efectua a conversão, condicionamento e detecção do sinal recebido.

Os elementos comuns a qualquer receptor de propagação são os seguintes: Antena, módulo de condicionamento de sinal e detector/analizador.

A antena, como é de conhecimento geral, é responsável pela captação do sinal emitido pelo satélite. Este é um elemento de grande importância e ditará em certa medida a qualidade do sinal recebido. Quanto maior for o ganho da antena, maior será a potência do sinal recebido, e consequentemente melhor o CNR (Carrier to Noise Ratio) do sistema. Quando se pretende medir os fenómenos de despolarização, o OMT (Orthomode Transducer) apresenta-se como a melhor solução. Este elemento é utilizado nos sistemas de comunicação quando é necessário efectuar a recepção de sinais com polarizações distintas.

O módulo de condicionamento de sinal é responsável pelo ajuste do sinal de modo a poder, posteriormente, ser detectado e medido. Aqui, é feita a conversão da frequência recebida para a necessária no detector. Para além disso, este módulo fará a amplificação conveniente do sinal e a filtragem do ruído.

Vem então o módulo da detecção, é aqui que o sinal recebido é sincronizado com os osciladores locais do receptor. Nos receptores convencionais, esta detecção é efectuada normalmente por uma PLL (Phase Locked Loop). No entanto, este tipo de detecção apresenta uma limitação preocupante: se o CNR (Carrier to Noise Ratio) do sinal se degrada por qualquer motivo, a PLL poderá perder o sincronismo, sendo a detecção do sinal comprometida. Quando o sinal recupera a CNR, a sua frequência poderá estar fora da largura de banda da malha, perdendo-se o sincronismo indefinidamente. Existem métodos que auxiliam a recuperação de sincronismo, mas que tornam o sistema mais complexo e dispendioso.

2.2.1 Características Desejáveis

Qualquer receptor de propagação apresenta determinadas características desejáveis, para que as medições do *beacon* sejam o mais completas e correctas possível. É deste modo que se garante fiabilidade nos resultados, de maneira a poderem ser realizados bons estudos na área da propagação. De entre estas características, de destacar as seguintes:

- **CNR elevado:** Quanto maior for o CNR do sistema receptor, melhor será a qualidade das medidas. Isto porque, com CNR baixos, o erro de medida sobe, como se verá mais a frente na secção 5.1.1.
- **Ruído de fase baixo:** É importante garantir que o ruído de fase introduzido pelo sistema receptor seja inferior ao ruído de fase do próprio sinal recebido, para que este valor de ruído não se degrade. O oscilador local (LO) do receptor é o elemento que poderá introduzir ruído de fase no sinal. Desta feita, devem-se ter osciladores locais com ruído de fase o mais baixo possível.
- **Estabilidade de Ganho:** Um dos parâmetros a medir no sinal recebido é a variação da sua potência consoante as diferentes condições atmosféricas, hora do dia, etc. Se o ganho do receptor não for constante, poder-se-á pensar que a potência recebida tem um valor, sendo este diferente do valor real, e assim retirar conclusões erróneas. Portanto, é fundamental que o receptor apresente uma estabilidade em termos de ganho muito boa.

- **Bom isolamento entre as cadeias CO e CX:** Para os receptores que façam uma medição de despolarização do sinal, são necessárias duas cadeias independentes: uma para tratar do sinal propriamente dito (CO) e outra para a sua componente despolarizada (CX). Assim, estas duas cadeias devem estar bem isoladas entre si para que não haja interferência entre os dois sinais, e consequentemente adulteração da informação.

2.3 Estado da Arte

São muitas as implementações para receptores de propagação já existentes. Como se referiu em 1.1.2, são vastas as campanhas de medição de *beacons* de propagação já efectuadas, o que implicou a utilização de diferentes receptores conforme as características do sinal.

Inicialmente, estes receptores eram inteiramente analógicos, pelo que a detecção era obtida através de uma PLL analógica. Desta forma, nesta altura os receptores apresentavam o problema de poderem perder o sincronismo para CNR mais baixos.

Com o desenvolvimento da electrónica e dos circuitos digitais, foi possível passar-se a implementar a PLL digitalmente. Agora, com a PLL definida por *software*, o problema da perda de sincronismo não se põe. Assim, este é o método que tem vindo a ser utilizado, e os receptores inteiramente analógicos já são pouco frequentes.

O DETI (Departamento de Electrónica, Telecomunicações e Informática) da Universidade de Aveiro tem realizado experiência de propagação ao longo dos anos. A primeira foi com o Satélite **Olympus** e a segunda, que ainda decorre com o satélite **HotBird-6**. Entretanto ocorreram grandes desenvolvimentos na electrónica que tornaram possível o uso de técnicas digitais na detecção do sinal. Isto facilitou imenso o desenvolvimento de receptores pois uma grande parte do esforço concentrava-se na parte referente aos circuitos de sincronismo e detecção síncrona com pesadas exigências de *hardware*.

Através de alguns projectos anteriores foram feitas incursões no domínio de detectores digitais usando *chips Digital Receiver Signal Processors* (DRSP), ADC de elevada taxa de amostragem e DSP. Numa primeira versão foi desenvolvida uma carta para um canal e depois uma carta para dois canais bem como *software* para implementar uma PLL por *software* pela programação do oscilador de controlo numérico a partir da DSP. Os resultados foram muito interessantes.

Com o advento da exploração da diversidade espacial com múltiplos receptores espalhados pela Europa um receptor compacto e económico seria importante.

No entanto é igualmente necessária uma parte de *hardware* de RF que faça a conversão do sinal recebido a algumas dezenas de GHz para uma IF de alguns MHz para ser processado digitalmente. Estando fora de causa o *hardware* de conversão do sinal recebido para uma IF em SHF (Super High Frequency) já está perfeitamente acessível todo o *hardware* a montante. Pretende-se assim o desenvolvimento de um módulo barato que implemente duas IF's e um 2º oscilador local que seja bastante flexível: aceitar uma 1ª IF até cerca de 2 a 3GHz e um oscilador local igualmente variável, sintetizado à custa de um oscilador de referência do receptor e capaz de gerar frequências similares às anteriores. A possibilidade de efectuar a interface do sintetizador com um *kit* rádio digital facilitaria e tornaria o receptor muito compacto e barato. Por outro lado, uma topologia simples e facilmente reparável pelo experimentador aumenta grandemente a disponibilidade das medidas. O desenvolvimento visaria assim a possibilidade de substituir alguns componentes e adaptá-lo sem grande esforço para outros valores de IF em futuras experiências de propagação Satélite-Terra e, porque não, em links terrestres ou outras experiências de propagação.

A oferta de mercado é inexistente ou, se pedidas cotações, as propostas recebidas são exorbitantes

pois têm um elevado preço de desenvolvimento não partilhado por poucos clientes. Apenas investigadores de uma universidade australiana comercializam soluções nesta área de momento, mas apenas para medir o copolar.

Tanto quanto se sabe esta iniciativa é, levando em consideração o software, única com esta dimensão embora um artigo tenha aparecido recentemente num COST IC0802, usando o *kit*-radio contudo sem a sofisticação deste trabalho. O trabalho deste artigo usa uma placa padrão da **Ettus Research** para Wi-Fi mas que possui uma elevada largura de banda, sintetizador grosseiro e com qualidade desconhecida, e ainda uma função de AGC cujo efeito no sinal é desconhecido.

Nesta tese, o DSP responsável pela detecção e análise espectral do sinal será um **USRP** (Universal Software Radio Peripheral), cujo software será desenvolvido no âmbito de outro projecto [45].

Resumidamente, o que se pretende é uma implementação de *Hardware* compacta para conversão do sinal, de modo a que este possa ser lido e tratado pelo **USRP**.

2.4 Universal Software Radio Peripheral - USRP

Com a evolução da electrónica, a velocidade das ADCs e DACs foram aumentando exponencialmente e as FPGAs (Field Programmable Gate Array) abriram caminho no processamento digital de sinal. Neste contexto, nasceu o conceito do rádio definido por *software*. Este conceito é baseado na conversão das tarefas desempenhadas por componentes de um sistema de rádio, por algoritmos em *software*. Para que isto seja possível, é necessário que o sinal analógico transmitido seja convertido para digital.

Desde a implementação do primeiro *Software Defined Radio* (SDR), o **SPEAKeasy** pelo exército americano em 1992, têm vindo a ser criados diversos equipamentos neste sentido. Mais recentemente, com os avanços tecnológicos, este equipamento tem-se vulgarizado. O **USRP** é um bom exemplo da difusão destas tecnologias.

O **USRP**, da **Ettus Research** representado na figura (2.1), é um equipamento avançado de amostragem, composto por dois canais de recepção e dois canais de transmissão. Apresenta então ADCs e DACs de alta velocidade, uma FPGA responsável pelo processamento de tarefas críticas, uma interface USB e uma *motherboard* que interliga todos estes componentes com *frontends* de RF customizados. Existem vários destes *frontends* já disponíveis pelo fabricante, para diferentes gamas de frequência. Além disto, fornece várias interfaces de comunicação (**I²C**, **RS232** **SPI**), o que permite o controlo de periféricos pelo **USRP**.

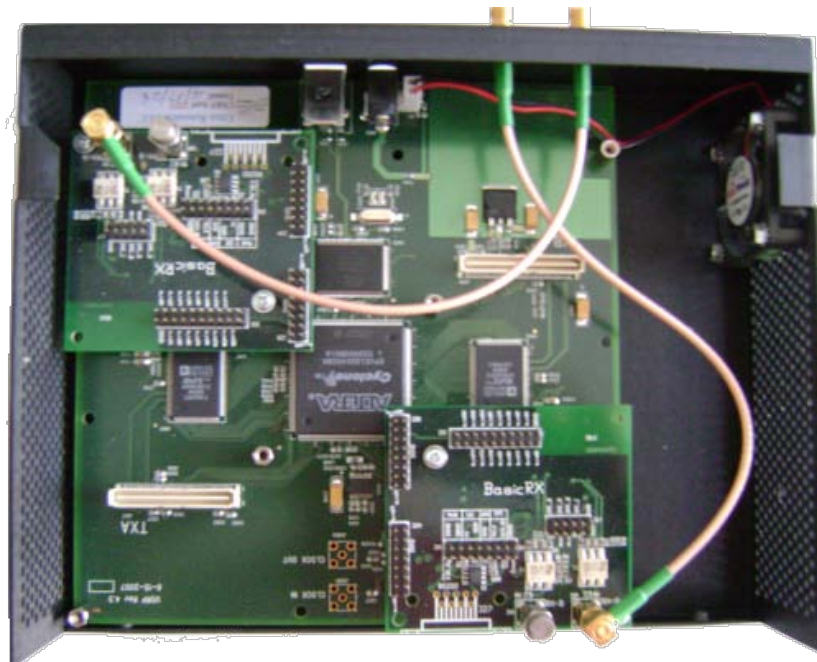


Figura 2.1: *Motherboard* do **USRP** com duas placas **Basic RX**.

Devido à sua versatilidade, este foi o *hardware* SDR escolhido para detecção e análise do sinal de *beacon* referido anteriormente. Para tal, será utilizada a *daughterboard* **Basic RX**, que permite a recepção de sinais com frequências compreendidas entre os 0,1MHz e os 300MHz.

2.5 Objectivos

Dadas as características fundamentais deste tipo de receptor satélite, tem-se por objectivo nesta tese projectar, desenvolver e implementar todo um sistema responsável pelo condicionamento do sinal, de modo a que possa ser analisado num **USRP**. O projecto deverá envolver a elaboração das placas de IF e de uma placa de síntese de frequências.

É nas placas de IF que ocorrerão os processos de amplificação, filtragem e conversão do sinal. A placa de síntese de frequência funcionará como LO para a conversão na última IF.

Segue-se uma enumeração faseada dos objectivos propostos para implementação de cada placa:

Placas Relativas ao Condicionamento de Sinal:

- Escolha dos diferentes amplificadores a utilizar no sistema, bem como de outro componentes associados à sua polarização;
- Escolha e implementação dos filtros da IF_1 e IF_2 ;
- Implementação de um misturador de rejeição de imagem para a *downconversion*;
- Desenho do *layout* da placa;
- Montagem de todos os componentes.

Placas Relativas à Unidade de Síntese :

- Escolha do método ideal para a síntese de frequências (PLL ou DDS associada a uma PLL);
- Implementação da PLL (escolha de *chip* PLL e respectiva programação, filtro de malha e VCO);
- Escolha do *chip* DDS bem como de todo o *hardware* associado (para o caso de ser utilizada);
- Desenho do *layout* da placa;
- Montagem de todos os componentes.

O objectivo final é ter então um desenho algo versátil pelo menos a partir do tratamento da 2ª IF, com fina síntese de frequência.

Capítulo 3

PLL (Phase Locked Loop)

Abordam-se aqui as características gerais das malhas de sincronismo de fase (PLL), pois ela será um componente fundamental neste projecto.

A aplicação, neste caso, será derivar um sinal com baixo ruído de fase para usar como oscilador local, referenciado a um oscilador muito estável em frequência e com superior ruído de fase, num receptor super-heterodino.

3.1 Introdução/Aplicações

Uma PLL (ou malha de seguimento de fase) é um sistema de controlo que é utilizado essencialmente para sincronizar dois sinais com frequências distintas. O principal propósito para a utilização desta tecnologia é o melhoramento da estabilidade de fase e frequência de um oscilador. O oscilador pode ser por exemplo a portadora de um sistema de telecomunicações ou a sincronização de linha ou de quadro de um aparelho de televisão.

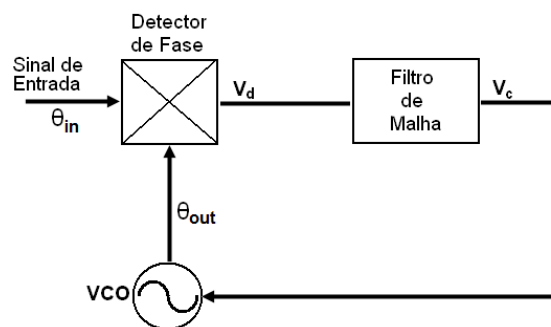


Figura 3.1: Diagrama de blocos de uma PLL genérica.

A correcta afinação do oscilador local é essencial para qualquer recepção síncrona, já que erros de frequências podem acarretar a perda de informação. Assim, torna-se inevitável o uso de PLLs em qualquer sistema que exija sincronismo entre o oscilador local e o sinal a processar.

Neste contexto, é fácil relacionar este mecanismo aos dispositivos de síntese de frequências. Aqui o oscilador local pode oscilar a frequências múltiplas da frequência de referência. Neste caso o oscilador entra em sincronismo com a referência, mesmo apresentando uma frequência distinta. Com esta possibilidade são abertos outros horizontes na síntese de frequências.

Para além da sua funcionalidade principal no âmbito deste trabalho, a síntese de frequências, as PLL tem vindo a ser usadas para as mais variadas funções. Dentro das funcionalidades de uma PLL, tem-se, por exemplo, a modulação e desmodulação de frequência, filtragem, controlo de velocidade de motores, detecção de sinal, etc.

3.2 PLL

A característica comum a qualquer PLL é ser um sistema realimentado que apresenta três blocos fundamentais (3.1): um Detector de Fase, um Filtro de Malha e um VCO (Voltage-controlled oscillator).

A fase do sinal de entrada é comparado com a fase do sinal proveniente do VCO pelo detector de fase. Aqui, é gerada uma tensão que representa a diferença de fase entre os dois sinais referidos. Seguidamente, este sinal diferença é filtrado pelo filtro de malha e aplicado ao VCO como sinal de controlo. Desta forma, a frequência do VCO é alterada de maneira a que as duas frequências sejam iguais ($\theta_{in} = \theta_{out}$) o que se consegue com uma eventual diferença de fase entre ambos (erro de fase).

Em termos de função de transferência, é necessário analisar o contributo de cada elemento da PLL independentemente. O detector de fase contribui com um ganho K_d , o filtro de malha tem $F(s)$ como função de transferência. O VCO terá na sua saída um sinal proporcional ao integral do seu sinal de entrada, sendo a sua função de transferência $\frac{K_o}{s}$.

Mais a frente, irá ser mostrado como se chega às expressões dos contributos de cada elemento da PLL.

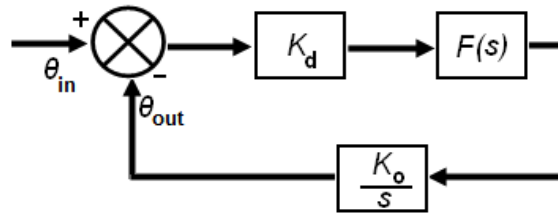


Figura 3.2: Representação de uma PLL como blocos das funções de transferência.

O diagrama de blocos com a FT dos elementos constituintes numa PLL pode ser visto em 3.2. Daí pode-se retirar que a sua função de transferência em malha aberta é dada por:

$$G(s) = K_d \cdot K_o \cdot F(s) \quad (3.1)$$

Então, a função de transferência em malha fechada será dada por [32]:

$$G(s) = \frac{K_d \cdot K_o \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)} = \frac{\theta_{out}(s)}{\theta_{in}(s)} \quad (3.2)$$

Um elemento que muitas vezes é introduzido numa PLL e que será aprofundado mais à frente nesta dissertação, é o factor de divisão N. Este elemento é introduzido na malha de realimentação (entre o VCO e o detector de fase) e tem como objectivo garantir à saída da PLL uma frequência que é a frequência de referência multiplicada por N.

3.3 Blocos Constituintes

3.3.1 VCO (Voltage Controlled Oscillator)

Tal como o nome indica, um VCO é um oscilador eléctrico concebido para ser controlado em frequência por uma tensão DC aplicada à entrada.

Os VCO podem ser lineares ou digitais. Os VCO's lineares são indicados para PLL's lineares e PLL's utilizadas a altas-frequências, enquanto os VCO's digitais são usados em PLL's digitais.

De um modo geral, é essencial que os VCO's apresentem determinados requisitos para diferentes aplicações. Entre os referidos requisitos, os mais relevantes são: elevada gama de frequências de funcionamento, estabilidade de fase, linearidade das frequências em relação à tensão de entrada, um factor de ganho (K_o -Hz/V) adequado e finalmente, possibilidade de modulação em banda larga.

Infelizmente, é impossível respeitar simultaneamente todos estes requisitos, sendo necessário encontrar um compromisso de qualidade entre estes.

Relativamente à sua função de transferência, sabe-se que o desvio da frequência do VCO relativamente à frequência central pode ser dado por:

$$\Delta\omega_o = K_o \cdot v_c \quad (3.3)$$

Como a frequência é a derivada da fase em ordem ao tempo, pode-se escrever a equação anterior da seguinte forma:

$$\frac{d\theta_o}{dt} = K_o \cdot v_c \quad (3.4)$$

No domínio de Laplace:

$$s \cdot \theta_o(s) = K_o \cdot v_c \Leftrightarrow \theta_o(s) = \frac{K_o \cdot v_c(s)}{s} \quad (3.5)$$

3.3.2 Detector de Fase

O Detector de Fase é um dispositivo que, tendo como entrada dois sinais distintos, gera à saída um sinal que representa a diferença em fase entre os referidos sinais.

A tensão de saída do detector de fase (V_D) é dada em função da diferença entre a fase de entrada (θ_{in}) e de saída (θ_{out}) do VCO, multiplicada pelo factor de ganho do detector (K_D , dado em V/rad). Estes valores de tensão podem ser representados pela expressão:

$$v_d = K_d(\theta_{in} - \theta_{out}) = K_d \cdot \theta_D \quad (3.6)$$

Passando 3.6 para o domínio das frequências fica:

$$v_d(s) = K_d(\theta_{in} - \theta_{out}) = K_d \cdot \theta_D(s) \quad (3.7)$$

3.3.3 Detector de Fase-Frequência

O Detector de Fase-Frequência (PFD) é um dos tipos de detectores de fase existentes. Este dispositivo funciona como um Detector de fase durante o período de sincronismo, mas quando a malha está fora do sincronismo, o detector gera uma saída proporcional ao desvio de frequência. Este dispositivo pode ser considerado um elemento digital, uma vez que a sua resposta às diferenças em

termos de fase/frequência é dada na forma de impulsos eléctricos discretos. É frequente associar-se ao Detector de Fase-Frequência, uma Bomba de Carga (*Charge Pump*). Esta *Charge Pump* converte o erro de fase, na forma de tensão, em impulsos de corrente. Ou seja, a *Charge Pump* o que faz é gerar impulsos que são proporcionais ao erro de fase existente. Desta forma, a resposta do detector torna-se mais suave.

Os detectores de Fase-Frequência apresentam a habilidade de operar no modo de discriminação de frequências para grandes erros da frequência inicial. Facilitam então a aquisição de sincronismo, mesmo quando o erro de frequência excede largamente a largura de banda da malha, sendo portanto muito útil em circuitos de síntese de frequência. Por outro lado, não oferece vantagens quando o sinal a sincronizar é ruidoso.

3.3.4 Filtros de Malha

Numa PLL, o filtro de malha tem como principal função a diminuição/eliminação do ruído do sinal introduzido das frequências múltiplas que resultam do processo de detecção de fase. Para tal, o filtro utilizado normalmente é um filtro passa-baixo que funciona basicamente como um integrador. O que este filtro faz é, efectuar uma média dos valores provenientes do detector de fase num determinado período de tempo.

É o filtro de malha que impõe a largura de banda da malha, ou seja, é a frequência de corte deste filtro que ditará a largura de banda da malha, e consequentemente influenciará toda a performance do sistema da PLL.

O estreitamento da largura de banda do filtro privilegia a resposta do sistema a nível de ruído. Por outro lado, a aquisição do sincronismo é mais rápida para larguras de banda do filtro superiores. No entanto, este valor é limitado (no máximo, tipicamente 1/10 da frequência de comparação [17]) sob pena do sistema se tornar instável e não adquirir o sincronismo.

Na implementação deste elemento podem ser utilizados filtros activos ou passivos. Tal como o nome indica, o filtro passivo é constituído unicamente por elementos passivos (condensadores, resistências, etc), enquanto o filtro activo apresenta também componentes activos (OpAmp) capazes de introduzir ganho no sistema.

Geralmente, os filtros passivos são os recomendados, relativamente aos activos por questões de custo, simplicidade e de ruído de fase "in-band". Por outro lado, apesar de mais complexos e dispendiosos, os filtros activos são amplamente utilizados nos PLL's por apresentarem um melhor desempenho a nível de seguimento de sinal (respostas mais rápidos e cortes mais eficazes). Este tipo de filtros é essencial também nos casos em que o VCO requer uma tensão superior à que a *charge pump* pode operar. Através do dispositivo activo destes filtros, que terá uma alimentação independente da da *charge pump*, consegue-se fornecer ao VCO as tensões exigidas.

3.4 Características da PLL

3.4.1 Aquisição (LB) de Sincronismo

Uma PLL, antes de entrar em sincronismo, passa por um processo de aquisição. Este processo pode tomar diferentes caminhos mediante a diferença de fase e frequência entre o VCO e o oscilador.

Se a diferença de frequências entre o sinal de entrada e o VCO for inferior à largura de banda da malha, o sincronismo irá ser obtido quase instantaneamente. Para que se consiga este rápido sincronismo, existe uma diferença máxima entre as frequências. É-lhe dado o nome de frequência de

Lock in ($\Delta\omega_L$).

Em alguns tipos de filtros é possível ser obtido o sincronismo mesmo quando a diferença inicial de frequências é muito superior à largura de banda do filtro. Para tal, o VCO vai lentamente mudando a sua frequência em direcção à frequência de entrada. Aqui, também existe um limite máximo de diferença de frequências até o qual a malha consegue chegar ao sincronismo, é a chamada frequência de *Pull in* ($\Delta\omega_P$).

Nos casos em que a malha está fora do alcance de *Pull in* ou que o tempo para se atingir o sincronismo é muito longo, o VCO poderá alterar a sua taxa de varrimento de forma a procurar o sinal.

A velocidade de aquisição poderá ser aumentada com o aumento da largura de banda da malha. No entanto, isto só será possível se for garantido que o sinal é pouco ruidoso. Outro mecanismo que veio aumentar a velocidade de aquisição e também a gama de frequências à qual a PLL consegue adquirir o sincronismo, foi a introdução do detector de fase-frequência. Este novo elemento, como já foi dito, para além de comparar as diferenças de fase entre os dois sinais, também mede a diferença de frequências. Como tal, é mais fácil ao mecanismo realimentado compensar as variações.

Lock in Range

O *Lock in Range* ($\Delta\omega_L$) é a gama de frequências nas quais uma PLL consegue adquirir e sincronizar um sinal, de forma quase instantânea, ou seja dentro de um único ciclo de relógio [20].

Pull in Range

O *Pull in range* ($\Delta\omega_P$) não é mais do que a gama de frequências que tornam possível à PLL atingir o sincronismo, mesmo que para tal necessite de vários ciclos.

Pull out Range

O *Pull out Range* ($\Delta\omega_{PO}$) é o salto de frequência aplicado à entrada da PLL, que faz com que esta saia do estado de sincronismo. A PLL poderá adquirir o sincronismo outra vez através de um processo de *pull-in* lento. Esta gama de frequências pode ser considerada como um limite dinâmico de estabilidade.

Hold in Range

Este parâmetro ($\Delta\omega_H$) corresponde à gama de frequências à qual a PLL mantém estaticamente o seguimento de fase [20]. Numa PLL tradicional, se a frequência de entrada estiver fora do *hold in range*, o sincronismo será permanentemente perdido.

Por outro lado, para as PLL's que possuam um detector de fase-frequência, este valor torna-se virtualmente infinito, uma vez que, por mais afastado que esteja a frequência de entrada, o comparador de frequência permitirá a compensação e conseqüente regresso do sincronismo ao sistema. Na prática está limitado unicamente pelas frequências que o VCO pode gerar.

Na figura 3.3 pode-se observar uma representação da relação entre os diferentes parâmetros de uma PLL tradicional. De notar que em implementações de PLL mais modernas, o posicionamento das gamas pode não ser exactamente como o aqui mostrado. Por vezes algumas gamas são coincidentes podendo mesmo algumas ser omitidas.

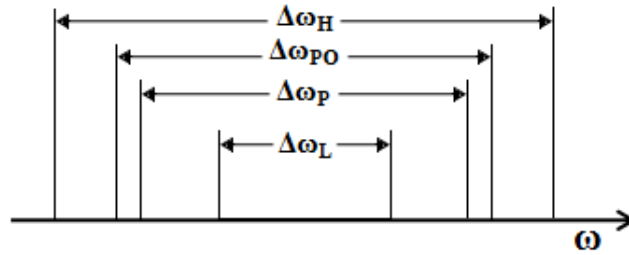


Figura 3.3: Limites dinâmicos numa PLL.

Tempo de aquisição

Também conhecido por *Pull in Time*, este é o tempo que é necessário para que a PLL obtenha o sincronismo. [29]

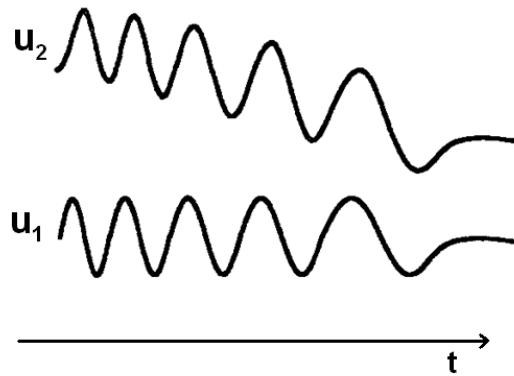


Figura 3.4: Formas de onda durante a aquisição. u_1 - erro de fase; u_2 - erro de frequência.

Durante este tempo, o erro de frequência e de fase deverão ser controlados de forma a ser atingido um sincronismo. Como se pode observar no exemplo de obtenção de sincronismo a figura 3.4, a diferença entre a frequência de entrada e a frequência de saída faz com que a fase mude quase constantemente, formando uma onda sinusoidal (u_1). No entanto, esta onda não é uma sinusóide perfeita. Devido ao pequeno *feedback* que existe, é gasto mais algum tempo nas baixas tensões do que nas altas, o que leva a uma média com valor negativo.

Este valor médio negativo de u_1 faz com que o valor à saída do filtro de malha também desça. Desta forma, a média da frequência de saída aproxima-se da frequência de entrada, originando por sua vez o aumento do ganho da malha. Com o aumento do ganho, é normal que seja aumentado o *feedback* e a distorção da sinusóide, consequentemente, o processo de *pull-in* é acelerado.

3.5 Ruído de Fase (conceito)

É o ruído que estabelece os limites inferiores de eficiência de qualquer sistema. O desempenho de um sistema de microondas é estabelecida por três parâmetros fundamentais: Gama Dinâmica, Sensibilidade e Selectividade. Os primeiros dois são ditados pela linearidade dos dispositivos e pela

figura de ruído. Já o terceiro parâmetro, a selectividade, é ditado por outra forma de ruído, o ruído de fase. Assim, o estudo e compreensão deste parâmetro é deveras importante em aplicações que envolvam osciladores.

De entre as principais fontes de ruído (ruído térmico, ruído de shot, ruído de *flicker*), é o ruído de *flicker*, também conhecido por ruído $1/f$, que é responsável pelo ruído de fase num oscilador. O ruído de *flicker* tem uma amplitude que varia com a frequência. Este tipo de ruído é causado por defeitos na estrutura dos semicondutores, resultado de combinações e recombinações dos portadores com o cristal. Ao contrário das outras fontes de ruído, o ruído de *flicker* diminui com a frequência. Manifesta-se a baixas frequências, perto da portadora, normalmente entre os 10Hz e os 100kHz.

Por definição, o ruído de fase é a representação, no domínio da frequência, de flutuações rápidas e aleatórias causadas por instabilidades no domínio do tempo (*jitter*)[6].

Utilizando uma aproximação simplista, pode-se assumir que uma onda sinusoidal, a uma determinada frequência fundamental, poderá ser perturbada por ruído e gerar um novo sinal, com uma frequência ligeiramente diferente. A estas ocorrências dá-se o nome de variações ou flutuações de frequência. Quando isto ocorre em circuitos reais, em vez de se falar em termos de frequência, dá-se o nome de perturbações de fase. Esta conversão de flutuações de frequência em flutuações de fase é feita, uma vez que, por definição, a frequência pode ser vista como a velocidade de variação da fase de uma onda sinusoidal.

Agora, será exposta uma pequena descrição matemática do ruído de fase. Recorrendo a noções muito usuais na literatura [8], uma tensão sinusoidal ideal com amplitude v_c e uma frequência f_c , pode ser dada pela seguinte expressão:

$$v_{in}(t) = v_c \cdot \sin(2\pi \cdot f_c \cdot t) \quad (3.8)$$

onde a fase cresce linearmente com o tempo, em forma de rampa. No domínio da frequência será um *dirac*. A tensão de saída instantânea de um oscilador será porém dada na forma:

$$v_o(t) = (v_o + \varepsilon(t)) \cdot \sin(2\pi \cdot f_c \cdot t + \phi(t)) \quad (3.9)$$

onde $\varepsilon(t)$ e $\phi(t)$ representam as flutuações de amplitude e flutuações de fase do sinal respectivamente. Ou seja, a fase cresce em termos médios em rampa, mas tem flutuações em volta desta e no domínio da frequência a potência virá espalhada. Um sinal complexo como o mostrado na equação anterior poderá ser facilmente analisado, se convertido para o domínio das frequências, por transformadas de Fourier, em termos de fase e amplitude.

O espectro de potência é usualmente utilizado para caracterizar este fenómeno físico. Neste caso, é utilizado para representar a potência da portadora e das restantes componentes, como resultado das variações de amplitude e frequência. O espectro de RF pode ser dividido em dois: densidade espectral de potência PM e densidade espectral de potência AM. Recorrendo apenas às flutuações em termos de fase (PM), e chamando-as $S_\phi(f)$, é possível determinar o desvio real de fase, entre a frequência de Fourier f , e a fundamental f_c .

A terminologia para a densidade espectral das flutuações de fase é representada por L , com dimensões dBc/Hz :

$$S_\phi(f) = 2L(f) \quad (\text{dBc/Hz}) \quad (3.10)$$

com

$$\text{dBc/Hz} = 10 \log(L(f))$$

Assim, o ruído de fase é normalmente especificado em dBc/Hz a um dado offset, onde dBc é o nível em dB relativamente à portadora (f_c). O ruído de fase de um oscilador é então caracterizado como a potência contida em 1Hz de largura de banda, para um determinado *offset* da portadora (fig.3.5).

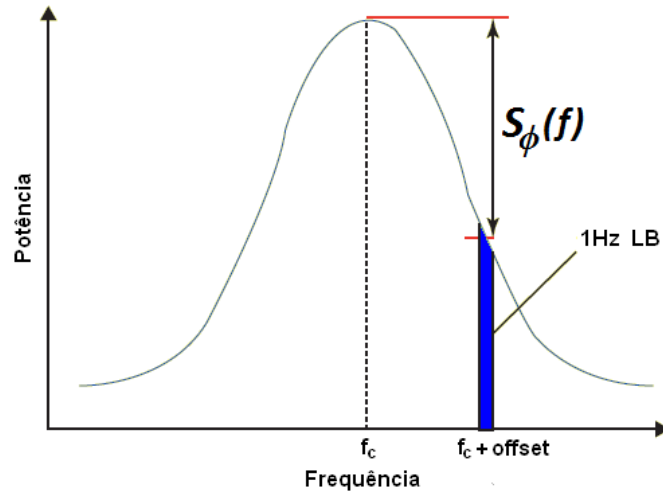


Figura 3.5: Gráfico ilustrativo do conceito "Ruído de Fase".

Na prática, este ruído pode ser facilmente medido recorrendo a um analisador de espectros com uma elevada resolução de frequência (RBW), desde que tenha ele próprio um ruído de fase substancialmente inferior ao do oscilador a medir.

3.5.1 Ruído de Fase numa PLL

Numa PLL, cujo propósito é sincronizar frequências, o ruído de fase torna-se um factor de importância capital pelo que o seu estudo e previsão são essenciais.

Como se sabe, a PLL é um sistema realimentado que procura manter o sincronismo entre o sinal recebido e o sinal de saída. No entanto esse sistema dinâmico de compensação só actua na largura de banda da malha. Como tal, o desempenho do VCO será muito diferente caso esteja incluído na malha ou esteja a funcionar livremente. Portanto, de um modo geral, o ruído de fase dentro da largura de banda da PLL é imposto principalmente pelo ruído de fase do oscilador de referência, e fora desta é imposto pelo ruído de fase do VCO. O desempenho da PLL é habitualmente caracterizado pela variância de fase à saída do VCO.

Por outro lado, é verdade que cada elemento constituinte da PLL produz um ruído próprio, que consequentemente contribuirá para o ruído total à saída do sistema. A forma como o ruído de qualquer elemento influencia o ruído global irá depender do local onde é produzido. Nesta análise será introduzido o bloco de divisão N no sistema PLL, por ser um elemento que influencia em grande medida o ruído de fase global.

No VCO, o sinal passa pela cadeia de divisão e aparece à saída do detector de fase. Seguidamente passará pelo filtro de malha que apenas permitirá a passagem dos componentes de erro com frequência abaixo da sua frequência de corte. Estes componentes aparecerão na tensão de erro e têm o efeito de anular o ruído do VCO. Desta feita, esta correcção ocorrerá apenas dentro da largura de banda da malha, reduzindo o nível de ruído nessa zona. Fora da largura de banda da malha o VCO está "livre", introduzindo erro que será directamente espelhado na saída.

O ruído de fase gerado pelo detector de fase é afectado de forma diferente. Aqui, novamente

apenas os componentes de erro abaixo da frequência de corte do filtro irão passar na tensão de controlo do VCO.

Relativamente ao ruído de fase do oscilador de referência, pode-se afirmar que sofre aproximadamente o mesmo tratamento que o erro do detector de fase, uma vez que realiza o mesmo percurso até ao VCO. De referir que, tal como acontece com o erro do detector de fase, o nível de ruído do oscilador de referência é multiplicado pelo factor de divisão, N . Este bloco que multiplica a frequência de referência por N , também irá multiplicar o nível de ruído por um factor de $20 \log(N)$. Principalmente nos casos em que o factor de divisão é elevado, mesmo que o oscilador de referência tenha um bom desempenho a nível de ruído de fase, o seu sinal aparecerá significativamente degradado à saída.

O elemento bloco de divisão N , por si só, normalmente não contribui de forma significativa em termos de ruído. Qualquer ruído que exista será combinado com o ruído do detector de fase. Ou seja, apesar do valor de N influenciar directamente o ruído de fase à saída, o bloco que o implementa tem um peso quase irrelevante a esse nível.

Analizando o espectro de saída de uma PLL, pode-se observar que o ruído de fase exhibe três diferentes regiões (fig.3.6). A primeira região representa essencialmente o ruído de fase do Oscilador de referência, a segunda região é dominada pelos erros do detector de fase e divisor, e finalmente a terceira fase, já para além da largura de banda da malha, é proveniente do VCO.

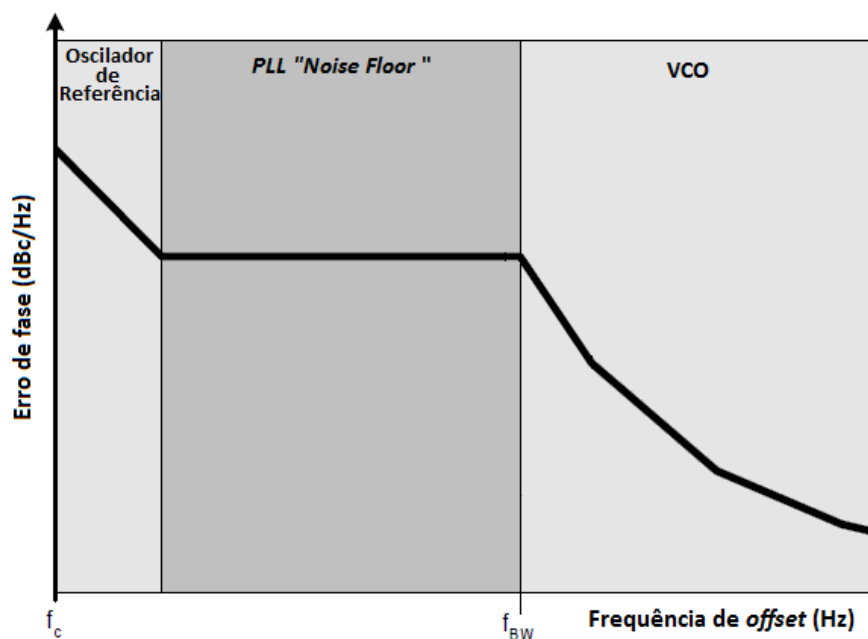


Figura 3.6: Regiões típicas para o erro de fase numa PLL.

Falando agora em termos um pouco mais práticos, é muito comum em sistemas actuais, ter-se uma PLL constituída num *chip* em que o oscilador de referência e o VCO são elementos externos. Aqui, o *chip* vai impor um patamar de erro dentro da largura de banda, a esse erro dá-se o nome de *Phase noise floor*. Assim, uma boa aproximação para o ruído de fase dentro da banda da PLL pode ser dado por:

$$\text{Ruído de fase} = \text{Phase noise floor} + 20 \log(N) + 10 \log(f_{ref}) \quad (3.11)$$

Onde se pode observar o aumento de ruído para maiores factores de divisão (N) e também para maiores frequências de referência (f_{ref}).

Concluindo, existem diversos factores que influenciam e modelam o ruído de fase de uma PLL. Partindo do princípio de que se possui um bom oscilador de referência, a escolha da largura de banda da PLL, a escolha do *chip* PLL bem como a selecção do factor de divisão são decisões críticas a tomar pelo engenheiro, que farão a diferença entre uma implementação viável ou não.

3.5.1.1 Matematicamente

Nesta secção, será feita uma análise em termos matemáticos do ruído de fase total numa PLL genérica bem como o contributo dos diferentes blocos. Irá recorrer-se às funções de transferência de cada bloco já calculadas anteriormente, e todas as considerações serão feitas no domínio de *Laplace*.

Na figura 3.7 tem-se um modelo com a representação das diferentes fontes de ruído num sintetizador PLL. Começando pelo oscilador de referência, a sua contribuição em termos de ruído de fase é dada por $\varphi_r(f)$, já o ruído do divisor N vem como $\varphi_d(f)$. O detector de fase introduz um erro de fase representado como $\varphi_p(f)$ e o ruído do filtro de malha é visto como $\varphi_f(f)$. Finalmente, tem-se o ruído de fase do VCO que é dado por $\varphi_v(f)$.

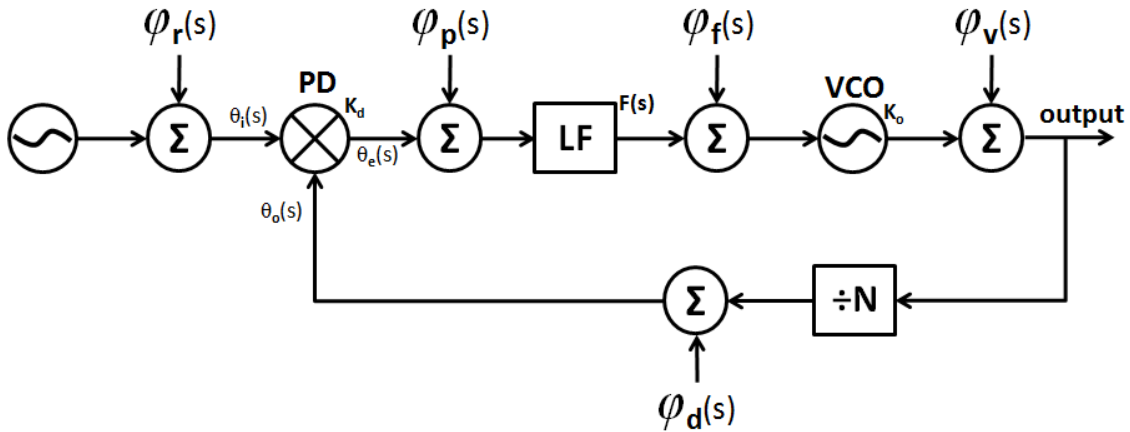


Figura 3.7: Modelo do ruído de fase numa PLL.

Calcula-se o erro de fase total na PLL somando-se as contribuições individuais de cada elemento. Para se obter o ruído aditivo de cada componente para o sistema global, é necessário multiplicar o seu ruído de fase pelo ganho para a frente (a partir da fonte de ruído) e dividir pelo *ganho em malha aberta total* + 1. Desta forma chega-se à seguinte equação:

$$\begin{aligned}
 S_{\phi}(f) = & \varphi_r(f) \left| \frac{\frac{K_d \cdot K_o \cdot F(s)}{s}}{1 + \frac{K_d \cdot K_o \cdot F(s)}{Ns}} \right|^2 + \varphi_f(f) \left| \frac{\frac{K_o}{s}}{1 + \frac{K_d \cdot K_o \cdot F(s)}{Ns}} \right|^2 + \varphi_p(f) \left| \frac{\frac{K_o \cdot F(s)}{s}}{1 + \frac{K_d \cdot K_o \cdot F(s)}{Ns}} \right|^2 \\
 & + \varphi_v(f) \left| \frac{1}{1 + \frac{K_d \cdot K_o \cdot F(s)}{Ns}} \right|^2 + \varphi_d(f) \left| \frac{\frac{K_d \cdot K_o \cdot F(s)}{s}}{1 + \frac{K_d \cdot K_o \cdot F(s)}{Ns}} \right|^2
 \end{aligned} \quad (3.12)$$

É importante referir que ganho em malha fechada do sistema completo é dado por:

$$G_{CL} = \frac{G_{OL}}{1 + G_{OL}} \quad (3.13)$$

É o ganho completo, G_{CL} , que irá determinar a largura de banda da malha. Para facilitar a visualização das equações irá ser substituído $\frac{K_d \cdot K_o \cdot F(s)}{Ns}$ por G_{OL} (ganho em malha aberta).

Na equação 3.12, a frequência de saída do sintetizador não se encontra multiplicada pelo factor N . Agora, fazendo a respectiva substituição e introduzindo o factor multiplicativo N fica-se com:

$$\begin{aligned}
 S_\phi(f) = & \varphi_r(f)N^2 \left| \frac{G_{OL}(s)}{1 + G_{OL}(s)} \right|^2 + \varphi_f(f)N^2 \left| \frac{\frac{K_o}{s}}{1 + G_{OL}(s)} \right|^2 + \varphi_p(f)N^2 \left| \frac{\frac{K_o \cdot F(s)}{s}}{1 + G_{OL}(s)} \right|^2 \\
 & + \varphi_v(f)N^2 \left| \frac{1}{1 + G_{OL}(s)} \right|^2 + \varphi_d(f)N^2 \left| \frac{G_{OL}(s)}{1 + G_{OL}(s)} \right|^2
 \end{aligned} \tag{3.14}$$

A equação 3.14 mostra que a potência dos espectros é multiplicada pelo quadrado da razão de divisão, N . De notar que os elementos com contribuição significativa dentro da largura de banda da PLL, são o Oscilador de referência e o divisor. A frequências mais elevadas do que a largura de banda da malha, o ruído de fase da PLL é imposto essencialmente pelo ruído do VCO.

Capítulo 4

Oscilador e Sintetizadores

4.1 Osciladores Analógicos

4.1.1 Princípio de Funcionamento

Um oscilador é um circuito que tem como objectivo gerar um sinal periódico. Estes circuitos convertem uma potência DC numa saída periódica, sem requerem para tal, uma entrada periódica [35]. Os osciladores são de extrema importância nos sistemas eléctricos sejam eles analógicos ou digitais.

O oscilador analógico geralmente consiste num amplificador (A) com ganho G e uma malha de realimentação com ganho (ou função de transferência) β (fig.4.1). Devido à sua tipologia, este tipo de osciladores também é conhecido como *feedback oscillator*.

Estes osciladores não são mais do que amplificadores implementados em determinadas condições que os tornam "instáveis". Estas condições são conhecidas como critério de Barkhausen para a oscilação. O critério de Barkhausen diz que, partindo de um qualquer ponto do circuito, após ter percorrido toda a malha, o ganho em malha aberta terá que ser igual a um, e a rotação de fase igual a 360° (ou um múltiplo inteiro de 360) para se ter um oscilador.

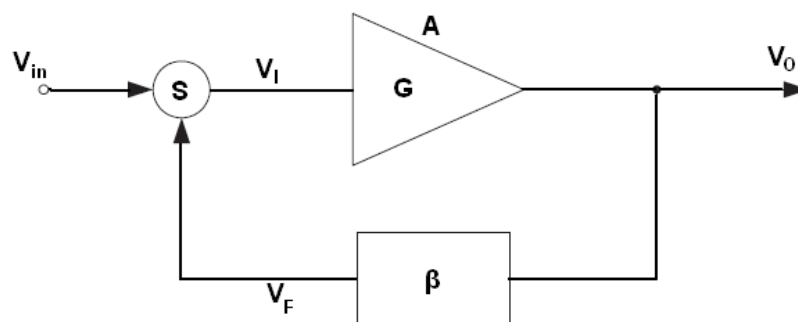


Figura 4.1: Diagrama de blocos de um oscilador genérico.

O amplificador poderá ser formado por diferentes dispositivos, como um transistor bipolar em modo emissor-comum, um MOSFET, ou um JFET, entre outros. Nos circuitos da actualidade, é normal terem-se neste bloco um Amplificador Operacional ou outro tipo de amplificadores lineares em circuito integrado.

Normalmente o amplificador é do tipo inversor, desta forma, introduz um atraso de fase de 180° relativamente à entrada. Assim, para se obter o atraso de 360° pretendido, é necessário introduzir outro atraso de 180° na malha de realimentação. Se a malha for projectada de forma a produzir este atraso para apenas uma dada frequência, o oscilador produzirá à saída uma onda sinusoidal com esta frequência.

Falando em termos de função de transferência, esta deverá ser tal, que garanta que o sistema entre num limite entre a estabilidade e a instabilidade. Ou seja, o oscilador terá que ter uma saída não amortecida (não tende para um valor final finito nem para o infinito) com uma entrada constante. Para tal, é necessário garantir que a sua função de transferência tenha um pólo na origem.

A equação geral para o amplificador em malha fechada é dada por:

$$A_v = \frac{A}{1 - \beta \cdot A} \quad (4.1)$$

Para o caso especial de um oscilador, $V_{in}=0$, então A_v tende para infinito. Isto faz com que o denominador da equação anterior tenha que ser zero. O que equivale ao referido pólo na origem na função de transferência.

Assim, como:

$$1 - \beta \cdot A = 0 \quad (4.2)$$

então,

$$\beta \cdot A = 1 \quad (4.3)$$

cumpre-se o critério de Barkhausen pois, βA é o ganho em malha aberto do sistema e terá que ser igual a um.

4.1.2 Tipos de Osciladores mais Comuns

Oscilador Colpitts

Este é um dos tipos de osciladores analógicos largamente utilizado nos dias de hoje. A característica que distingue este tipo de osciladores (fig.4.2) é o divisor capacitivo existente na malha de realimentação (C_1/C_2). A saída deste divisor de tensão irá ser introduzida na entrada do amplificador.

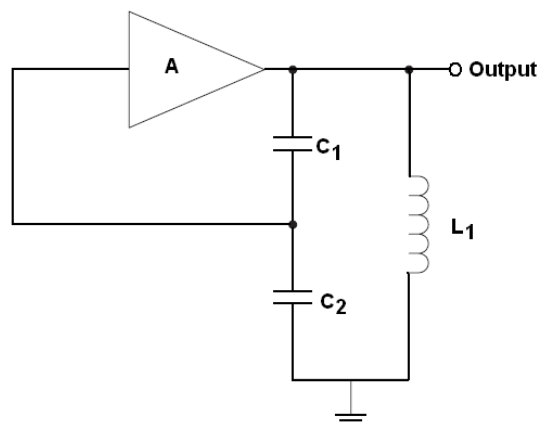


Figura 4.2: Representação esquemática de um oscilador de Colpitts.

O oscilador é sintonizado pela ressonância entre a indutância L_1 e a capacidade combinada dos condensadores C_1 e C_2 em série. Na prática, é introduzido também um condensador variável

em paralelo com L_1 . Este condensador permite a variação da capacidade equivalente da malha e consequentemente, a possibilidade de sintonia. Desta forma é possível controlar a ressonância do oscilador, ou seja, a sua frequência de oscilação.

Um dos variantes do oscilador *Colpitts* é o oscilador *Clapp*. Ambos utilizam o divisor de tensão capacitivo na malha de realimentação. A única diferença entre eles é que a topologia de *Clapp* utiliza ressonância de sintonia em série, ao contrário do paralelo utilizado nos osciladores *Colpitts*.

Oscilador *Hartley*

Este é outra das topologias bastante utilizadas na implementação de osciladores. O seu princípio de funcionamento é muito semelhante ao oscilador *Colpitts*, mas neste caso, a sintonia é feita pela rede $L - C$ composta por C_1 e a indutância L_1/L_2 .

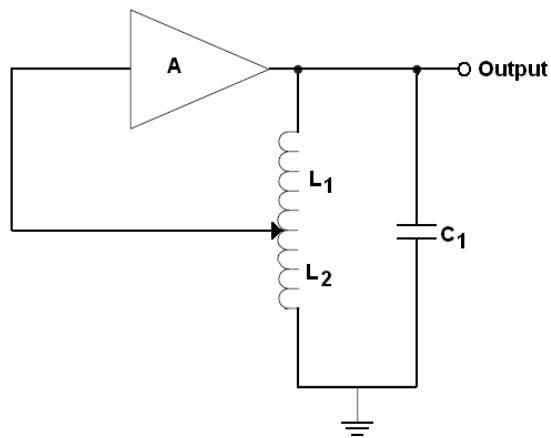


Figura 4.3: Representação esquemática de um oscilador de *Hartley*.

4.1.3 Caracterização do Desempenho

Sabe-se que um oscilador sem ruído de fase teria toda a sua potência numa largura espectral infinitesimal. Um oscilador com ruído de fase apresenta a sua potência com algum espalhamento no espectro: ou seja parece ter uma modulação de fase. Esta modulação deve-se às fontes de ruído no circuito do oscilador que envolve um amplificador e um circuito tanque. A qualidade do circuito tanque desempenha um papel muito importante neste parâmetro do oscilador.

Desta feita, os osciladores analógicos, como qualquer oscilador, não geram um sinal perfeito. Apresentam instabilidade de frequência de longa e curta escala de tempo, e outros fenômenos como *pulling*, *pushing*, sensibilidade à temperatura e *posttuning drift*.

O *pulling* refere-se à influência do VSWR (Voltage Standing-Wave Ratio) ou impedância de carga na frequência de sintonia. Por outras palavras, o *pulling* está relacionado com as variações na frequência aquando da introdução ou alteração da carga à saída do oscilador. Este problema poderá ser minimizado com o adequado isolamento da impedância de carga.

O termo *pushing* refere-se ao impacto que as variações na tensão de alimentação do oscilador têm na frequência de oscilação. Este fenómeno pode ser controlado através da regulação das fontes de alimentação, ou seja, redução do seu ruído por processos de filtragem.

Falando agora da sensibilidade à temperatura, este é um fenómeno que está relacionado com a al-

teração das propriedades eléctricas dos materiais (por exemplo, os semicondutores) com a temperatura. A forma de minimizar este efeito é o isolamento térmico e controlo de temperatura do oscilador, para que este não fique tão sensível às variações da temperatura ambiente.

O *posttunnig drift* está relacionado com as variações de frequência que acontecem após a alteração da corrente ou tensão de sintonia, enquanto o oscilador entra no novo estado de equilíbrio.

Estes fenómenos têm bastante relevância se o oscilador estiver em malha aberta. Caso esteja introduzido numa malha fechada, o seu efeito é drasticamente reduzido. No entanto todos têm de ser tidos em conta para garantir a melhor síntese de frequências.

4.2 Oscilador a Cristal

Um oscilador a cristal é um circuito eléctrico que utiliza as propriedades físicas ressonantes de determinados cristais (normalmente de quartzo ou cerâmicos), para gerar oscilações periódicas de elevada qualidade. O cristal funciona como o circuito tanque, só que o seu factor de qualidade é muito elevado logo ele determina com rigor a frequência de oscilação.

Todos os materiais apresentam uma determinada disposição dos protões e electrões. Na maior parte dos casos, essa disposição é aleatória, no entanto, os cristais apresentam certos padrões de alinhamento. Esta disposição poderá formar um potencial eléctrico. À geração deste potencial eléctrico devido a deformações mecânicas do cristal, dá-se o nome de Piezoelectricidade. Mas, estes materiais também funcionam de modo inverso, ou seja, se for aplicado um potencial eléctrico ao cristal, este sofrerá uma deformação.

Deste modo, se for amplificada a saída do cristal, e utilizada alguma dessa tensão para "pressionar" novamente o cristal, então irá ser mantida uma oscilação na frequência de ressonância do material. De um modo geral, é desta forma que funcionam os osciladores a cristal utilizados nos circuitos de hoje.

Na figura 4.4 está representado o circuito (simplificado) RLC equivalente de um oscilador a cristal. Este circuito apresenta quatro elementos básicos: O condensador paralelo (C_P), a indutância série (L_S), o condensador série (C_S) e a resistência série (R_S). O circuito apresenta duas ressonâncias, uma série e uma paralelo, uma vez que contem dois condensadores.

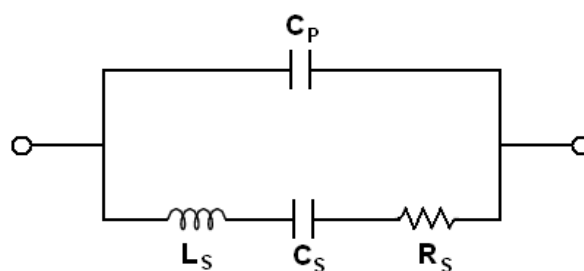


Figura 4.4: Circuito RLC equivalente de um oscilador a cristal.

Devido à sua alta precisão, é este tipo de osciladores que é utilizado como referência em grande parte dos circuitos electrónicos. Por apresentar um excelente resposta em termos de ruído de fase, o oscilador a cristal é quem gera a frequência de referência para todo o circuito, frequência esta que poderá ser posteriormente multiplicada ou dividida (em PLL's, DDS's, etc), consoante as necessidades da implementação.

Na figura 4.5 é possível observar um exemplo de resposta em frequência de um oscilador a cristal

e um oscilador analógico comum (VCO). Comparando as duas, pode-se verificar que a risca central é muito mais estreita no oscilador a cristal, o que indica um desvio da frequência central muito menor, ou seja, um erro de fase muito mais pequeno.

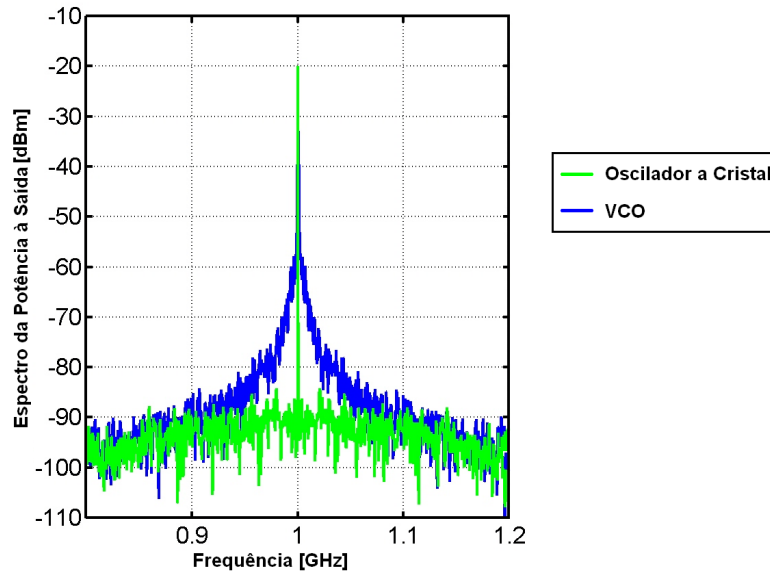


Figura 4.5: Comparação do espectro de um oscilador a cristal e um oscilador analógico comum.

Neste gama de osciladores, para além dos osciladores a cristal mais comuns (OX), existem também, outras implementações que garantem uma estabilidade de frequência ainda maior. Entre eles, de salientar o TCXO (Temperature-Compensated Crystal Oscillator) que, tal como o nome indica, são osciladores com compensação temperatura/ frequência composta por termístores, resistências e condensadores em malha de oscilação. A rede do termistor, irá provocar variações de tensão com a temperatura, que compensarão as inerentes variação de frequência com a temperatura.

Outra das implementações de osciladores a cristal bastante utilizada, é a OCXO (Oven Controlled Crystal Oscillators). Aqui, o cristal é mantido num "forno" de temperatura controlada num ponto de funcionamento óptimo que garante uma elevada estabilidade. Desta forma é minimizado o ruído de fase provocado também pela mudança de temperatura no ambiente onde se encontra o cristal.

Existem muitas outras implementações disponíveis no mercado, todas elas tendo como principal objectivo, a estabilização máxima da frequência gerada.

4.3 NCO/DDS: Sintetizador Digital

A síntese digital de sinal (*Direct Digital Synthesis-DDS*) é uma técnica que utiliza blocos de processamento digital de informação, para gerar um sinal de frequência e fase sintonizáveis, tendo como referência uma fonte de relógio fixa e precisa [9]. Essencialmente, o que a tecnologia DDS faz, é dividir a frequência de relógio de referência por um factor de escalonamento, factor este definido numa palavra binária programável (*tuning word*). A DDS utiliza um oscilador numericamente controlável (NCO) para gerar uma onda sinusoidal digital. De seguida é necessário um conversor digital para analógico (DAC) que torna o sinal contínuo em termos de tempo e amplitude.

As principais aplicações destes dispositivos podem ser divididas em duas categorias principais: Sistemas de comunicação e sistemas industriais/ biomédicos. Na área das comunicações, a DDS é

utilizada como sintetizador de frequências, como tal, é usado para modulação de sinal, como oscilador local, como referência numa PLL (para melhorar a resolução da mesma), ou mesmo para transmissão directa de RF. No âmbito da indústria/biomedicina, o DDS funciona como gerador de formas de onda. Devido à sua flexibilidade e facilidade de programação, a DDS permite simples ajustes de frequência em tempo real, como tal, pode por exemplo ser ajustado para a compensação de variações de temperatura de um sistema real. Estes são apenas alguns exemplos das muitas aplicações dos sintetizadores digitais.

4.3.1 Funcionamento

Os elementos principais de uma DDS são três: o acumulador de fase, o conversor fase-amplitude(Σ) e um conversor Digital-Analógico (DAC). Na figura 4.6 está representado o diagrama de blocos de uma DDS genérica.

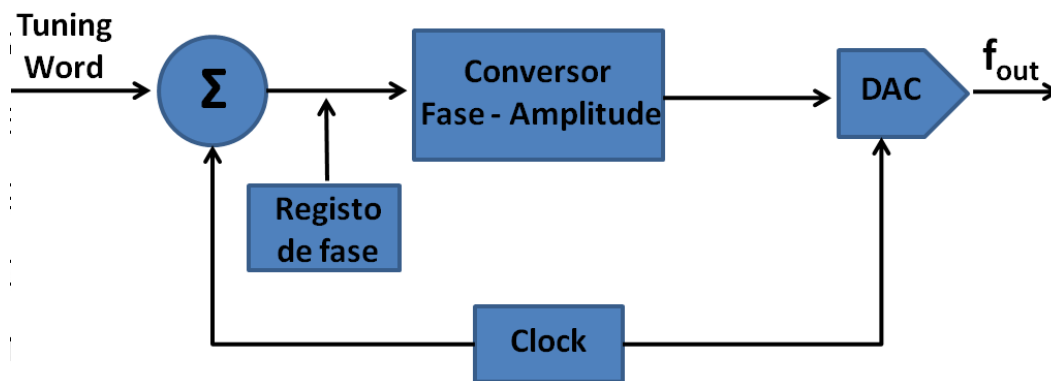


Figura 4.6: Diagrama de blocos de uma DDS genérica.

A frequência de saída(f_{out}) depende de duas variáveis, o relógio de referência e a palavra binária previamente definida como *tuning word*. Esta palavra binária é a entrada principal para o acumulador de fase.

Para se perceber melhor o funcionamento do acumulador de fase, este poderá ser visto como um círculo trigonométrico, neste contexto chamado de roda de fase (*phase Wheel*) (fig.4.7). Este círculo apresenta os valores dos diferentes ângulos de uma forma discreta, cada ângulo é representado por um ponto. Estes pontos estão todos distanciados uns dos outros, em graus, por um valor constante. O número total de pontos é dado pelo número de bits N do acumulador. Desta forma este elemento apresenta sempre 2^N pontos que equivale à resolução de sintonia da DDS.

O acumulador de fase funciona como um contador que incrementa, a cada ciclo de relógio, os seus valores armazenados. É a *tuning Word* (T) que irá definir a magnitude destes incrementos, ou seja, o espaçamento de fase entre cada salto. Quanto maior for o salto, mais rapidamente o acumulador de fase atinge o seu valor máximo, e completa o equivalente ciclo de uma onda sinusoidal. Por exemplo, se a *tuning Word* for 00...001, o salto será de ponto em ponto a cada ciclo de relógio, se a palavra for 00...010, o salto é de 2 em 2 pontos e assim sucessivamente.

Agora, é o conversor fase/amplitude que irá transformar os valores do acumulador em amplitudes de uma onda sinusoidal. Para tal, é utilizada uma tabela de procura (*lookup table*) que associa os ângulos ao seu seno/coseno. Ou seja, este elemento tendo como entrada um sinal linear representativo das fases, converte-o para uma onda sinusoidal digital.

Esta onda sinusoidal é então descodificada, extrapolada e filtrada pela DAC de forma a ter-se à

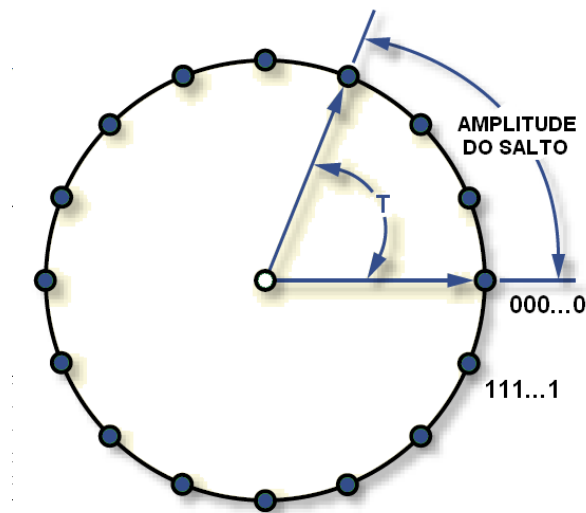


Figura 4.7: Representação de uma "roda de fase" de um NCO.

saída da DDS um sinal analógico.

Na figura (4.8) é possível observar uma simples representação do funcionamento de uma DDS.

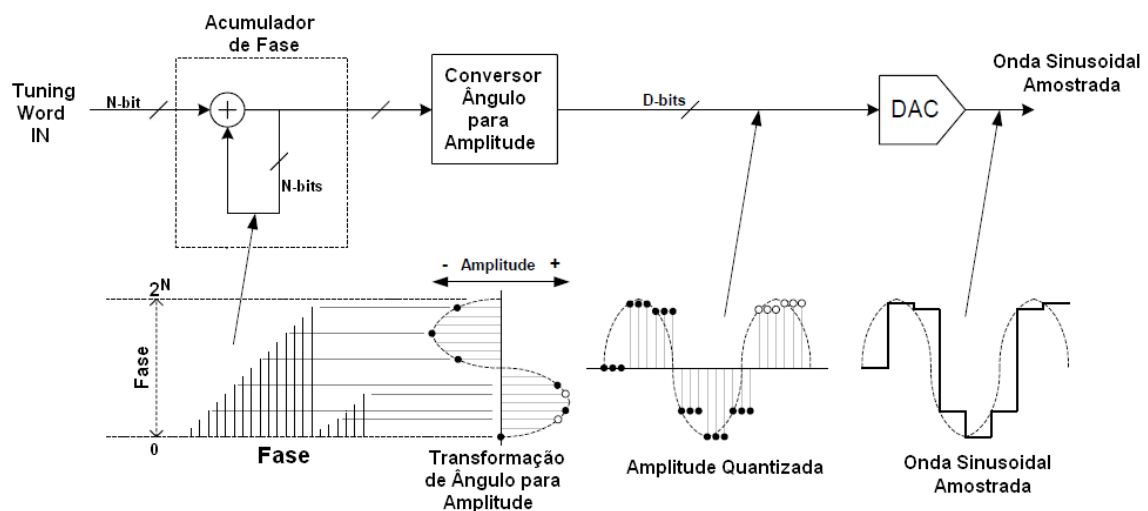


Figura 4.8: Esquema representativo do funcionamento de uma DDS.

Pode-se relacionar a resolução do acumulador, a frequência de relógio de referência (f_c) e a *tuning Word* de forma a obter-se uma expressão para a frequência de saída:

$$f_{out} = \frac{T \cdot f_c}{2^N} \quad (4.4)$$

Sendo a resolução da DDS um valor fixo e tendo uma determinada frequência do relógio referência, facilmente se consegue obter diferentes valores de frequência de saída modificando o valor da *tuning Word* binária. Por outro lado, segundo a teoria de amostragem (teorema de *Nyquist-Shannon*), sabe-se que são necessárias pelo menos duas amostras por ciclo de relógio, para reconstruir o sinal de saída. Assim, a frequência de saída máxima de uma DDS é de $f_c/2$.

Actualmente existem integrados DDS com PLL's internas que permitem frequências de saída superiores a $f_c/2$. Estas implementações não contradizem a teoria da amostragem uma vez que, para o NCO, o relógio de referência não é o relógio disponibilizado ao dispositivo, mas sim esse relógio multiplicado por um determinado valor na PLL. Através desta técnica, conseguiu-se tornar os integrados DDS muito mais versáteis, já que conseguem sintetizar uma gama muito mais alargada de frequências. Actualmente, as frequências máximas geradas por esta técnica estão limitadas pela velocidade das DAC's.

4.3.2 Caracterização do Sinal de Saída

Como já foi dito anteriormente, a DDS é num sistema amostrado, como tal, o seu espectro de saída é infinito. Ou seja, o seu espectro de saída consiste na frequência fundamental sintetizada (f_o) e as suas imagens [9]. Na figura 4.9 pode-se ver uma representação gráfica de um espectro de saída genérico de uma DDS. As frequências imagem continuam indefinidamente, diminuindo no entanto de amplitude. Assim, como se pode observar, estas imagens poderão ser envolvidas por uma $\text{sinc}(x)$, tendo como zeros os múltiplos da frequência de relógio.

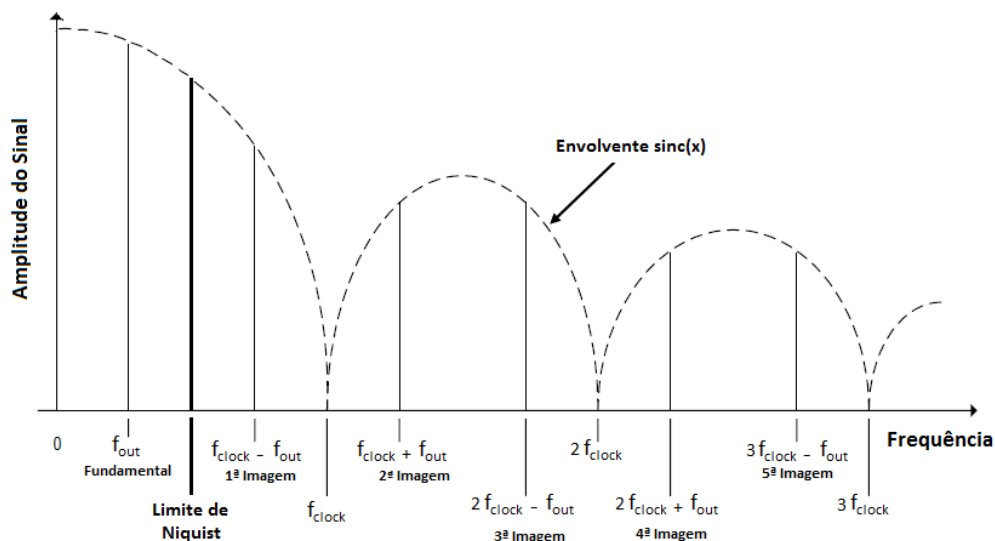


Figura 4.9: Espectro do sinal amostrado de saída de uma DDS.

As imagens que são formadas, são elementos indesejados e desta forma é importante eliminá-los. Assim, na grande maioria das aplicações de uma DDS, é utilizado um filtro passa-baixo que irá suprimir os efeitos das imagens no espectro de saída. O ideal seria que este filtro tivesse uma resposta em frequência unitária sobre a Banda de Nyquist ($0 \leq f \leq f_{\text{clock}}/2$), e zero no restante espectro. No entanto, esse filtro não é fisicamente realizável. Assim, uma norma que se costuma usar é impor uma frequência de corte a aproximadamente 40% da frequência de relógio do sistema, e desta forma ter uma atenuação praticamente infinita fora da Banda de Nyquist. A verdade é que, com este método, se sacrifica parte da largura de banda disponível mas, por outro lado, garante-se a eliminação das imagens indesejadas.

Mas esta é apenas a primeira aproximação a ser feita na implementação do filtro *anti-imagens*. Este é um elemento crítico no sistema, e os requisitos que lhe são impostos, estão muito dependentes dos detalhes do sistema DDS, portanto requerem uma análise cuidadosa.

Para além das frequências imagem, existem normalmente outras anomalias no espectro de saída de uma DDS. De referir os erros de linearidade integral e diferencial da DAC, pulsos aleatórios de energia (também provenientes da DAC) e ruído originário do relógio, que não são modulados pela função $\text{sinc}(x)$.

4.3.2.1 Ruído de Fase do Sinal Sintetizado

O ruído de fase num sistema amostrado depende de muitos factores. Numa DDS, o ruído de fase à saída advém essencialmente do ruído de fase do relógio do sistema, do ruído da alimentação, do ruído proveniente de circuitos periféricos, e das já referidas técnicas internas de integração do próprio sistema DDS.

O ruído de fase à saída da DDS mostra uma melhoria relativamente ao ruído de fase do relógio de referência. Ao dividir o f_{clock} para obter o f_{out} desejado, o ruído fase também é dividido sendo reduzido na razão de $20 \log(f_{\text{clock}}/f_{\text{out}})$. No entanto, nem sempre a DDS consegue espelhar a qualidade do relógio de entrada. Todas as DDS apresentam um erro de fase residual que é o patamar inferior do erro, portanto, independentemente da qualidade do relógio utilizado, o ruído de fase à saída nunca será menor que esse valor. O ruído de fase residual é específico de cada DDS e está relacionado tanto com a arquitectura interna do sintetizador como por outros factores externos.

Relativamente aos factores intrínsecos ao sistema, de realçar o número de bits aplicado à *lookup table*, o número de bits de saída da *lookup table* e a qualidade da DAC [7]. Dos factores intrínsecos, é a DAC que influencia de forma mais directa a pureza do sinal de saída. Como se sabe, a DAC tem o papel número de níveis de tensão disponíveis para construir a onda sinusoidal. Quanto maior for o número de níveis (resolução da DAC), mais fiel será a forma da onda. Mas, a resolução da DAC é um valor finito, e portanto a construção da sinusóide nunca é perfeita. Aos erros introduzidos devido à resolução da DAC dá-se o nome de erros de quantização e dão origem a um efeito conhecido como distorção de quantização. No domínio de Laplace, esta distorção de quantização será espelhada sob a forma de espúrias dentro da banda de Nyquist, perto da risca da fundamental e consequentemente como ruído de fase.

Quanto aos factores extrínsecos: o ruído da fonte de alimentação, o *layout* da placa a que está associada e a interferência de circuitos periféricos, são elementos que influenciam directamente na performance da DDS. Ora, recorrendo a um bom dimensionamento do layout, garantindo um bom isolamento entre sinais analógicos e digitais e um bom desacoplamento do ruído da alimentação (e de outros circuitos), é possível minimizar a repercussão destes factores extrínsecos no ruído de fase.

Portanto, o ruído de fase total de um sistema DDS é a soma do erro de fase residual e o erro de fase do relógio (reduzido pelo respectivo factor de divisão). Desta forma, para garantir um bom erro de fase na síntese, para além de se escolher um bom relógio de referência, é importante analisar as especificações dos *chips* DDS garantidas pelo fabricante, bem como ter cuidados acrescidos com o *layout* do circuito subjacente.

4.4 Síntese de Frequência

Nos sistemas de comunicação modernos, a troca de informação normalmente implica a existência de diversos canais de comunicação. Para tal, é necessário um mecanismo de sincronismo que permita a selecção dos diferentes canais.

A selecção de canais é feita pela mistura da frequência de RF com a do Oscilador Local, cuja frequência irá variar conforme o pretendido. Esta variação de frequências só é possível devido a um

processo de sincronismo realizado por um sintetizador de frequências.

4.4.1 Teoria de Síntese

A síntese de frequências consiste na geração de determinadas frequências tendo como base uma frequência de referência fixa. O método mais popular e acessível de sincronismo consiste na utilização de sintetizadores de frequências baseados em *Phase-Locked Loop*.

O modo de funcionamento deste tipo de sintetizadores não será muito aprofundado neste capítulo, essa explicação foi dada no capítulo 3. Neste contexto (a teoria da síntese), o que uma PLL faz, de um modo geral é multiplicar a sua frequência de referência por um factor predefinido. Em qualquer PLL, este factor de multiplicação é formado dois elementos, o *N factor* e o *R factor*. Como se pode ver na figura 4.10, o que o *N factor* faz, é dividir a frequência de realimentação (f_{out}) por um factor de N, por outro lado, o *R factor* irá fazer uma pré divisão da frequência de referência por um factor de R.

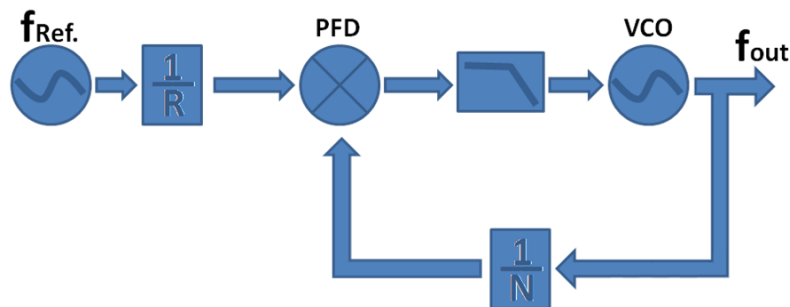


Figura 4.10: Esquema representativo de uma PLL genérica.

Assim, a frequência de saída de uma PLL é dado por:

$$f_{out} = \frac{f_{ref} \cdot N}{R} \quad (4.5)$$

Geralmente o factor limitativo para a frequência de referência da PLL é a frequência de funcionamento do comparador de fase/frequência(PFD). O *R factor* permite a utilização de frequências de referência mais elevadas uma vez que divide esta frequência para um valor mais baixo. Desta feita, os valores que R pode tomar normalmente são reduzidos e espaçados (tipicamente potências de 2), pois não há necessidade de uma boa resolução de frequência.

Por outro lado, o *N factor* apresenta uma gama de valores mais ampla e de maior densidade/precisão. São os valores que N pode tomar, que conferem uma determinada resolução de frequências de saída da PLL. A resolução de frequência de um sintetizador não é mais que a distância/passo em Hertz entre as diferentes frequências sintetizadas, é mais vulgarmente denominada de *channel spacing*.

4.4.2 Tipos de PLL

Desde a criação da PLL-Linear em 1932, por Bellescize, ao longo dos anos foram sendo implementados diferentes tipos de PLL, desde a PLL-Digital à mais recente PLL por software [20]. No entanto o princípio primário de funcionamento é o mesmo em todas elas, ou seja, os blocos constituintes básicos mostrados na figura 4.10 estão obrigatoriamente presentes na sua constituição.

Os factores de divergência entre os diferentes tipos de sintetizadores serão expostos neste sector.

APLL- PLL Analógica

As primeiras PLL criadas eram constituídas unicamente com elementos analógicos. Para o detector de fase era usado um multiplicador analógico, o filtro de loop era constituído por um filtro RC activo ou passivo e o VCO analógico era responsável por gerar o sinal de saída da PLL [29]. Hoje em dia este tipo de PLL é também conhecido como PLL linear. Devido às suas dimensões, custo e performance, têm vindo a ser substituídas pelas PLL Digitais.

DPLL- PLL Digital

Este tipo de PLL também conhecido é por PLL híbrida, por ser constituído por elementos digitais e analógicos [42],[37]. O elemento que foi substituído relativamente às PLL analógicas é o detector de fase. Em vez de ser utilizado um multiplicador analógico, é utilizada um dispositivo digital que poderá ser uma charge-pump, uma porta XOR ou um FLIP-FLOP.

Esta nova tecnologia veio trazer a possibilidade de ser feita uma medida do erro de frequência para além do erro de fase, ou seja, começou a ser utilizado o detector de fase-frequência. Esta novidade veio impulsionar em grande medida as potencialidades da PLL, que entre outras vantagens, consegue obter o sincronismo muito mais rapidamente. São as PLL's digitais que dominam o mercado actualmente pois, para além de serem mais compactas e baratas, apresentam um consumo de potência mais baixo e são muito menos susceptíveis a ruído, relativamente às PLL's inteiramente analógicas.

Resumidamente, a DPLL é um dispositivo semianalógico que veio juntar o melhor dos sistemas digital com o melhor dos analógico.

ADPLL- PLL inteiramente Digital

A PLL inteiramente digital (ADPLL-All Digital PLL) é exclusivamente construída a partir de blocos funcionais puramente digitais [15]. Como foi visto antes, uma PLL com um detector de fase que fornece à saída níveis lógicos, é chamada de PLL Digital. No entanto, estes impulsos digitais são utilizados para gerar sinais contínuos. Na ADPLL as tensões ou correntes das quais os circuitos analógicos dependem, passam a ser representadas por valores discretos.

Existem as mais variadas formas de implementar uma PLL inteiramente digital, no entanto, aqui será feita apenas uma breve descrição desta tecnologia. Versões digitais de detectores de fase já são conhecidas, mas agora é necessário encontrar circuitos digitais para o filtro de loop e o VCO. De um modo geral, pode-se considerar que o filtro de loop será composto por um contador numérico que gera os sinais de controlo para o DCO (Digitally Controlled Oscillator), que vem substituir o VCO. Ao invés de ter uma tensão de controlo, o DCO é controlado por impulsos de natureza digital, produzindo então à saída a frequência desejada.

As configurações mais conhecidas deste tipo de PLL são:

- *flip-flop* DPLL (FF-DPLL);
- *Nyquist-rate* DPLL (NR-DPLL);
- *lead-lag* DPLL (LL-DPLL);
- *OR Exclusivo* DPLL (XOR-DPLL);
- *Zero-crossing* DPLL (ZC-DPLL);

A maior limitação das PLL inteiramente digitais está na gama de frequências que esta consegue gerar, ou seja, não consegue atingir frequências tão elevadas como uma PLL digital híbrida. Por outro lado, o design de uma ADPLL pode melhorar os tempos de resposta à troca de frequência, tornando-a ideal para SoC (*System on a Chip*). Para além disso, como este tipo de PLL não utiliza qualquer componente passivo, a sua área efectiva é substancialmente inferior à de qualquer outra PLL.

SPLL- PLL por Software

Quando a informação pode ser amostrada a uma taxa substancialmente superior à frequência central do loop, toda a operação da malha pode ser criada em software [20].

Uma PLL definida por software pode ser vista como uma implementação em tempo discreto, tanto da APPL como da DPLL [54]. A SPLL mostra-se a mais flexível de todas as implementações na medida em que pode apresentar comportamentos de vários tipos de PLL em simultâneo, ou mesmo incluir funções impossíveis de realizar em *hardware*.

Os requisitos de Hardware requeridos para o processamento deste género de aplicação são elevados, mas com a constante evolução da velocidade de cálculo dos processadores, este problema tem vindo a ser mitigado.

Como sempre, as limitações das PLL definidas por Software, por serem de natureza puramente digital, estão na frequência máxima a que esta pode trabalhar. Por outro lado, apresentam uma flexibilidade ímpar, pois todo o controlo de funcionamento destas PLL's está resumido a código de programação. Qualquer alteração que seja necessário efectuar implica apenas a correcção do programa e não a aquisição de novo *hardware*.

4.4.3 Arquitecturas

Independentemente do tipo de PLL em questão, existem diferentes tipos de arquitecturas que tornam as PLL's ainda mais versáteis. Mediante o aparecimento de novos desafios e necessidades no mundo da electrónica, foi imperativo criar novas arquitecturas da PLL. Seguidamente será feita uma breve exposição às implementações mais relevantes.

Single Integer N

Como foi visto antes, numa PLL para se sintetizar frequências superiores à frequência de entrada, introduz-se um divisor N na malha de realimentação. Nas PLL do tipo *Single Integer N*, tal como o nome o sugere, o divisor N apenas pode tomar valores inteiros.

Uma representação do seu diagrama de blocos já foi mostrada na figura 4.10, onde se pode ver que esta é uma arquitectura simples. Foi esta a primeira arquitectura desenvolvida para os sintetizadores de frequência por PLL, sendo então a base de todas as arquitecturas subsequentes.

A sua frequência de saída é dada por 4.5, que pode ser reformulado em :

$$f_{out} = \frac{f_{ref}}{R} \cdot N \quad (4.6)$$

Como f_{ref}/R é a frequência do comparador (f_{PD}) e N é um valor inteiro, facilmente se retira que as diferentes frequências de saída são múltiplos de f_{PD} . Ou seja, o *channel spacing* é imposto unicamente pela frequência no comparador. Este facto é uma das maiores limitações das PLL *integer N*, pois torna os seus *channel spacings* muito elevados para as necessidades de muitos sistemas actuais.

Por outro lado, esta arquitectura ainda está presente numa grande fracção do mercado dos sintetizadores. Para os sistemas que não necessitem de uma resolução fina de frequência, as PLL *integer N* são as ideais já que, sendo menos complexas, conseguem ser produzidas a preços muito mais reduzidos.

Fractional N

Até agora tem sido assumido que os contadores apenas podem assumir valores inteiros. Nas PLL's do tipo *Fractional N*, isto não é verdade, aqui, o *N counter* para além dos valores inteiros, também pode tomar valores fraccionais. Para se obter este valor fraccional, o *N counter* é constituído por três valores distintos, o N_{int} , o N_{frac} e o *MOD* relacionados da seguinte forma:

$$N = N_{int} + \frac{N_{frac}}{MOD} \quad (4.7)$$

A representação desta arquitectura pode ser observada na figura 4.11. Com estes novos parâmetros no *N counter*, a frequência de saída do sintetizador passa a ser dada por:

$$f_{out} = \frac{f_{ref}}{R} \cdot \left(N_{int} + \frac{N_{frac}}{MOD} \right) \quad (4.8)$$

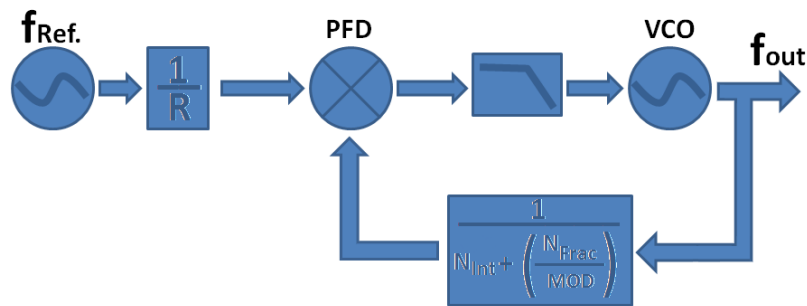


Figura 4.11: Esquema representativo de uma PLL do tipo *Fractional N*.

Agora, através do "manuseamento" dos parâmetros do *N counter*, é possível obter um valor fraccional de *N* e consequentemente, conseguir frequências à saída que não sejam múltiplos de f_{PFD} .

O valor fraccional no *N counter* é obtido por um processo matemático através de um modulador *Delta-Sigma*. Dois valores são constantemente alternados de forma à média dos dois ser o valor fraccional pretendido. Por exemplo, se se deseja o valor 10.5, os valores que são alternados sucessivamente são os inteiros 10 e 11. Caso se pretenda, por exemplo um 10.3, os valores serão os números também o 10 e o 11 que vão ser comutados entre si, mas aqui o 10 aparecerá 70% do tempo e o 11 aparecerá 30%. Portanto, jogando com os inteiros justapostos, alternando-os convenientemente, consegue-se obter qualquer número fraccional.

Mas, a utilização deste processo também traz alguns problemas no sistema da malha. Apesar da divisão média por *N* estar de acordo com o previsto, a divisão instantânea é incorrecta. Ou seja, utilizando o exemplo anterior, o valor instantâneo de *N* nunca é 10.3 mas sim 10 ou 11. Isto leva a que o detector de fase esteja constantemente a tentar corrigir estes erros de fase instantâneos, o que por sua vez leva ao aparecimento de espúrias indesejadas no sinal de saída. Para combater este problema, foram criadas os moduladores *Delta-Sigma* de ordem superior. O que estes moduladores de ordem superior fazem é utilizar mais do que dois números para criação do valor fraccional. Estes moduladores utilizam também processos de randomização que tornam o sistema menos repetitivo e por sua vez, com menos espúrias no espectro de saída.

Voltando ao tema central desta secção, é importante referir que esta arquitectura trouxe um grande dinamismo para a indústria de sintetizadores. Anteriormente o leque de frequências sintetizáveis estaria limitado a múltiplos da frequência de referência, passando a ser possível sintetizar virtualmente qualquer frequência.

Com as tradicionais PLL *integer N*, a única forma de se conseguir obter um *channel spacing* baixo consiste na utilização de frequências de comparação f_{PD} baixas, o que implicaria valores de N elevados. Isto levava a que o sistema apresentasse um elevado ruído de fase à saída, já que o erro do detector de fase é multiplicado pelo factor de N . As PLL do tipo *fractional N* vieram colmatar esse problema, uma vez que podem utilizar frequências de comparação altas obtendo *channel spacings* baixos.

Mesmo no mundo das PLL do tipo *fractional N*, existe uma vasta gama de sintetizadores com mais ou menos resolução de frequência. Está portanto a cargo do engenheiro escolher o sintetizador que o sistema requer.

Dual Integer/Fractional N

Este tipo de PLL's não é mais do que a junção de duas PLL's simples que utilizam a mesma frequência de referência, como se pode constatar na figura 4.12. Cada PLL por si só, gera uma frequência de saída independente da outra. As "duas" PLL's que englobam este sistema tanto podem ser do tipo *integer N* como *fractional N*, aliás, é muito habitual ver implementações em que uma das malhas apresenta um N inteiro e a outra um N fraccionário.

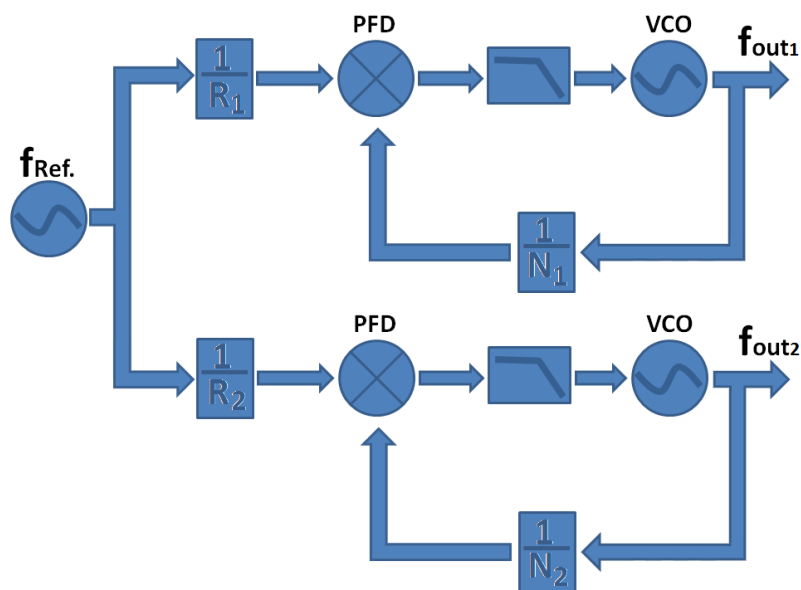


Figura 4.12: Esquema representativo de uma PLL do tipo *Dual Integer/Fractional N*.

As *Dual N* PLL são comumente utilizadas em receptores super-heterodinos, onde um VCO produz uma frequência de mistura para a primeira frequência intermédia, e o outro VCO gera uma gama de frequências que vão sintonizar os diferentes canais. Neste caso, é uma boa opção utilizar uma Dual PLL em que uma das malhas tem um N inteiro e a outra tem um N fraccionário. A primeira malha estaria ligada à síntese de uma frequência única e a segunda à síntese da gama de frequências conveniente para a aplicação.

Dual loop

A arquitectura *Dual loop* PLL é utilizada essencialmente nos casos em que a frequência de referência não é limpa, pois apresenta uma excelente performance tanto a nível de ruído como de flexibilidade.

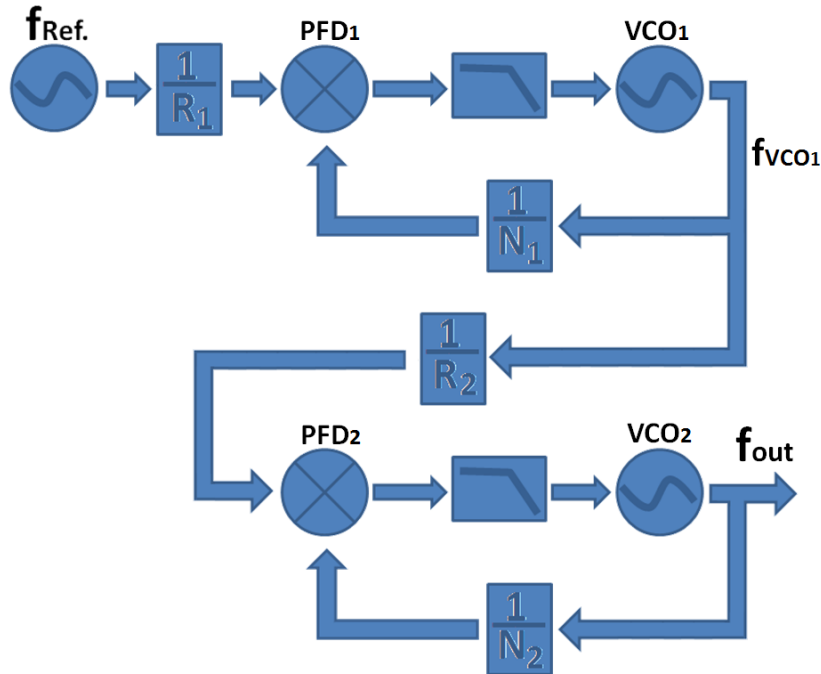


Figura 4.13: Esquema representativo de uma PLL do tipo *Dual Loop*.

Nesta arquitectura existem dois osciladores sintonizáveis (fig.4.13). O primeiro VCO (VCO_1) é normalmente um VCXO (*Voltage Controlled Cristal Oscillator*) que possui um bom erro de fase que é utilizado para "limpar" o sinal de referência (f_{ref}) ruidoso. Na arquitectura em questão este VCO produz tipicamente uma frequência fixa. O segundo VCO (VCO_2) é um VCO comum, com menos restrições a nível de ruído de fase e que é capaz de gerar frequências mais elevadas. A frequência de saída é dada por:

$$f_{out} = \left(\frac{f_{ref} \cdot N_1}{R_1} \right) \cdot \left(\frac{N_2}{R_2} \right) \quad (4.9)$$

A escolha da frequência fixa do VCO_1 não é empírica e implica um conhecimento aprofundado das necessidades do sistema. Se por um lado é conveniente ter neste ponto uma frequência elevada para minimizar o ruído de fase, por outro, uma frequência mais baixa permite uma maior flexibilidade a nível do *channel spacing* da PLL. Portanto é fundamental um bom balanceamento destes dois factores.

Concluindo, devido ao seu custo (inflacionado pela utilização de um VCXO), o uso de PLL's com esta arquitectura está limitado a sistemas que forneçam à malha uma referência de fraca qualidade.

Capítulo 5

Projecto e Desenvolvimento

O sistema a desenvolver neste projecto consiste num receptor super-heterodino responsável pela conversão de um sinal assumido para testes de 2GHz de forma a poder ser adquirido por um **USRP**. O sinal original é recebido a 39,4GHz mas este trabalho está centrado no seu tratamento após a primeira conversão para uma primeira IF. O sistema terá dois canais: CO e CX. Isto implica a utilização de dois módulos de recepção independentes mas com implementação idêntica, pois partilharão os mesmos osciladores locais.

Para que o sinal esteja em condições de ser analisado no **USRP**, terá que ser feita uma redução da frequência e filtragem, de modo a limitar a potência à entrada das ADC e assim aproveitar a gama dinâmica. Para tal, a conversão para uma frequência de 10,7MHz é recomendável pois, não só existem filtros a cristal com reduzidas larguras de banda, como também é uma frequência recomendável para aquisição pelos *kit* digital rádio.

No entanto, é de esperar que o sinal de entrada do sistema apresente variações de frequência ao longo do tempo. Estas variações poderão fazer com que o sinal deixe de estar contido na largura da última frequência intermédia. Para combater este problema, é necessário criar um mecanismo que ajuste a frequência do sinal consoante a frequência do sinal de entrada.

Neste capítulo será feita uma análise pormenorizada do projecto e desenvolvimento de todo o sistema que garanta a obtenção dos requisitos pré estabelecidos. Irá começar-se pela parte responsável pela filtragem e conversão do sinal, passando-se de seguida para o mecanismo de compensação referido.

5.1 Análise de Link Budget do Sistema a Implementar

O *link* de comunicação refere-se à transmissão de um sinal pelo emissor e a sua recepção pelo receptor.

De um modo geral, a capacidade de comunicação depende da potência do sinal e da quantia de ruído térmico que acompanha o sinal. Desta forma, o cálculo do valor da SNR é conhecido como *Link budget* ou balanço da ligação.

Quanto melhor for o factor G/T do sistema, como será visto adiante, melhor será o sinal que se recebe. Ou seja, uma antena com elevado ganho G e um sistema com baixa temperatura de ruído T são determinantes para a SNR.

Apesar da análise de *Link budget* ser focada principalmente na transmissão-recepção (antena emissora - meio livre - antena receptora), por serem as fases com maior peso a nível de perdas/interferências, uma análise a nível do sistema receptor também é deveras importante. A cadeia do

Tabela 5.1: Especificações do *Downconverter*

Modelo	MA3458	
Frequência	RF_{in}	$39.4 \pm 0.25GHz$
	LO_{in}	$37.4 \pm 0.25GHz$
	IF_{out}	$2.0 \pm 0.25GHz$
Ganho	30 a 35dB	
Máxima potência de entrada	-25dBm	
Rejeição de imagem	25dB tip., 25dB min.	
Figura de ruído	6dB máx	
Alimentação DC	+12V a +15V @ 250mA máx.	

receptor, constituída pelos diferentes blocos (filtros, amplificadores, misturadores) tem que assegurar uma determinada SNR e gama dinâmica à saída, para o detector. Caso contrário, o erro na medição do sinal será elevado, podendo mesmo ser impossibilitada a sua detecção. Neste caso a gama dinâmica do sistema será ditada pelo CNR na medida do sinal CO e CX.

É também necessário ter em conta um factor importantíssimo: a distorção. Como se sabe, os componentes integrantes de qualquer sistema admitem uma potência máxima para funcionarem de modo linear. Logo, é necessário garantir que esses limites de potência não sejam ultrapassados em nenhum dos elementos. Neste contexto, o ganho total do sistema terá que ser balanceado de maneira a se cumprirem os requisitos de potência máxima nos diferentes pontos do *link*.

5.1.1 Análise Preliminar

O sistema a implementar poderá ser representado pelo protótipo de um receptor super-heterodino mostrado na figura 5.1.

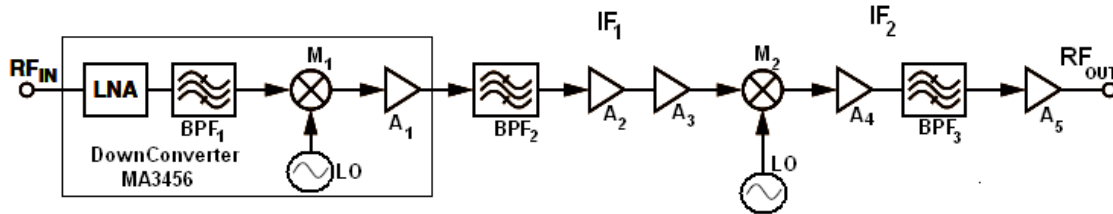


Figura 5.1: Diagrama de blocos de uma possível implementação para o sistema.

Antes de mais, é importante referir que a primeira conversão da frequência irá ser feita por um módulo comercial. A implementação deste módulo *downconverter* não fez parte do âmbito deste projecto. Este módulo deverá ter um factor de ruído baixo e uma ganho elevado, por motivos que serão expostos mais à frente. Para as características pretendidas, a melhor cotação que se obteve no mercado foi o modelo MA3456 produzido pela **Advanced Microwave, Inc.** pelo que será este o utilizado. Na tabela 5.1 são mostradas as especificações garantidas pelo fabricante do referido dispositivo.

Após esta *downconversion* (IF_1) é necessário fazer uma filtragem (BPF_2) do sinal, de forma a eliminar a potência de ruído presente fora da banda pretendida. De seguida, é amplificada a potência do sinal através dos amplificadores A_2 , e A_3 . A etapa seguinte trata da mistura de frequências entre o sinal e o oscilador local. Aqui é reduzida a frequência do sinal para a frequência de trabalho do **USRP** ($IF_2 - 10.7MHz$). Como se verá mais à frente, esta mistura terá que ser feita por um misturador de rejeição de imagem.

Finalmente, o sinal terá que ser filtrado e amplificado novamente. O ganho do sistema ficará dividido em partes semelhantes pelas duas IF.

Esta foi uma primeira abordagem, mais superficial ao problema. Agora é necessário efectuar uma análise mais exaustiva aos parâmetros/ especificações do sistema a implementar.

CNR / Gama dinâmica

Um ponto importante é a gama dinâmica pretendida para a medição da atenuação. A diminuição de amplitude do sinal conduz, desde logo, a um *offset* na detecção de amplitude devido à detecção da potência de ruído. Pode-se tentar impor um valor máximo a este *offset* e calcular a relação SNR_{min} correspondente. Um valor máximo aceitável para o erro seria então de 0.41dB, comum a muitas especificações encontradas em equipamentos noutras experiências

A gama dinâmica depende agora dos objectivos do experimentador e naturalmente quanto maior, melhor, mas para efeitos práticos, 20 a 25dB será um valor razoável pois não se prevêem margens de atenuação muito elevadas. O que equivale a dizer que o receptor deverá ser capaz de detectar o sinal com uma gama de variação possível de aproximadamente 25dB. Resulta evidente também que a CNR do canal Cx polar será bem pior que a do copolar e a sua detecção não pode ser feita directamente por estimação da potência espectral.

Agora é necessário calcular o patamar inferior e superior para o CNR do sistema. Ora, para uma potência de sinal que seja 10 vezes superior à potência do ruído, numa determinada largura de banda, já se consegue um erro aceitável. Como o erro de medida é dado por:

$$E(dB) = 10 \log \left(\frac{P_{sinal} + P_{ruído}}{P_{sinal}} \right) \quad (5.1)$$

o que equivale a dizer que se tolera um SNR mínimo de 9.21dB. Se for feita uma estimativa espectral em 100Hz da largura de banda com o SNR de 10dB, isto significa que o sinal se pode degradar até uma CNR de 30dB/Hz.

Com este valor de CNR_{min} de 30dB, de forma a conseguir-se a gama dinâmica pretendida, é requerida uma CNR_{max} de 55dB/Hz. Este CNR corresponde aos momentos em que o sinal é recebido nas melhores condições e é também denominado CNR-Céu limpo. O CNR_{max} será ditado pela temperatura equivalente de ruído do sistema e pelo ganho da antena. O compromisso deve ser tomado conforme as ofertas de mercado e sempre levando em conta que a temperatura de ruído da antena em condições de atenuação profunda será da ordem de 300K pelo que investir num *front-end* com baixíssima figura de ruído tem efeitos muito limitados.

Factor de Ruído / Temperatura Equivalente de Ruído:

O factor de ruído (F_n) pode ser definido como a degradação da SNR entre a entrada e a saída de um bloco do sistema. Pode-se representar esta degradação matematicamente:

$$F_n = \left(\frac{SNR_i}{SNR_o} \right) \quad (5.2)$$

Como se sabe, o SNR é a diferença entre a potência de sinal e a potência de ruído num determinado ponto e com a mesma largura de banda. Em qualquer sistema físico, é normal que seja adicionado ruído ao sinal. Desta forma, na melhor das hipóteses, um sistema tem um factor de ruído de 1 (figura de ruído (NF) igual a 0dB). Sendo assim, é possível afirmar que um sistema nunca melhora a sua SNR da entrada para a saída.

Então:

$$\frac{SNR_i}{SNR_o} \geq 1 \quad (5.3)$$

ou seja

$$SNR_i \geq SNR_o \quad (5.4)$$

O factor de ruído não pode ser considerado para apenas um dos componentes do sistema, mas sim para todo o sistema. À análise do factor de ruído integrado numa série de componentes dá-se o nome de cascata de factor de ruído. Considerando um sistema constituído por N blocos em cascata (fig.5.2). O F_n total do sistema será então dado pela seguinte expressão, que relaciona os ganhos e os F_n de cada bloco constituinte:

$$F_{n_T} = F_{n_1} + \frac{F_{n_2} - 1}{G_1} + \frac{F_{n_3} - 1}{G_1 \cdot G_2} + \dots + \frac{F_{n_n} - 1}{G_1 \cdot G_2 \cdot \dots \cdot G_{n-1}} \quad (5.5)$$

em que:

F_n - Factor de ruído;

G - Ganho do bloco.

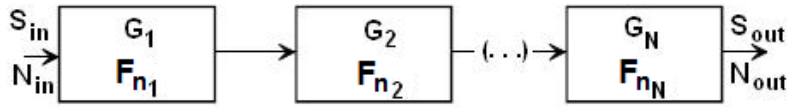


Figura 5.2: Diagrama de blocos representativo de uma cascata de factor de ruído.

Pela equação 5.5 facilmente se retira que os elementos com maior peso no factor de ruído do sistema são os elementos à entrada do sistema. Desta forma, é importante garantir um bom factor de ruído nestes primeiros elementos.

Voltando para o sistema em análise, é importante, nesta fase, saber o factor de ruído do sistema uma vez que é um elemento que impõe a densidade espectral de ruído ao longo do sistema.

Para o cálculo do F_{n_T} do sistema será considerado também o factor de ruído introduzido pelo OMT. O OMT é o elemento responsável pela divisão do sinal nas componentes CO e CX para as duas placas, e encontra-se à entrada do sistema. Portanto, o OMT será o primeiro bloco do sistema a considerar, contribuindo com uma atenuação de 1dB que corresponde a uma F_n de 1,25. Uma vez que o segundo bloco (*downconverter* MA3458) apresenta um ganho muito elevado (35dB), o F_n dos elementos seguintes não terá grande peso no F_{n_T} do sistema.

Da Tabela 5.1 retira-se que o F_n do segundo bloco é de 3,98 (6dB). Calculou-se então o F_n total do sistema que é de ≈ 5 (7dB). É um factor de ruído relativamente baixo, no entanto poderia ser melhorado, utilizando para tal um *downconverter* com F_n mais reduzido.

A temperatura equivalente de ruído é outra das formas de contabilizar o ruído introduzido por um sistema. Esta temperatura pode ser relacionada com factor de ruído pela seguinte expressão:

$$F_{n_T} = \frac{T + T_e}{T} \quad (5.6)$$

o que equivale a

$$T_e = T(F_{n_T} - 1) \quad (5.7)$$

com:

- T_e - Temperatura Equivalente de Ruído (K);
 T - Temperatura Ambiente ($290K$).

Como foi calculado anteriormente, sabe-se que o F_{n_T} é igual a 5, e daí facilmente se chega ao valor da T_e . Obteve-se então uma temperatura equivalente de ruído do sistema de $1160K$. Calculando-se agora a densidade espectral de ruído à entrada do sistema:

$$N = 10 \log (K \cdot (T_{eq} + T)) \quad (5.8)$$

em que:

- K - Constante de Boltzman ($1,38 \times 10^{-23}(J/K)$);

Obtêm-se um densidade espectral de ruído de $-197dBW/Hz$.

O valor de T_{eq} será utilizado também para o cálculo da potência de ruído nos diferentes pontos da ligação.

Potência do Sinal de Entrada:

A potência do sinal à entrada do sistema em estudo corresponde à potência do sinal transmitido pelo satélite, com as respectivas perdas de propagação e ganho da antena receptora. Poderá ser calculada através da fórmula de transmissão de Friis(5.9).

$$\frac{P_r}{P_t} = G_t \cdot G_r \left(\frac{\lambda}{4\pi \cdot r} \right)^2 \quad (5.9)$$

Com:

- P_t - Potência de sinal transmitida;
 P_r - Potência de sinal recebida;
 G_t - Ganho da antena emissora;
 G_r - Ganho da antena receptora;
 R - Distância entre antenas;
 λ - Comprimento de onda.

Da equação, pode-se concluir que o único factor que poderá aumentar a potência do sinal recebido e o CNR é o ganho da antena receptora. Verificou-se que para uma antena com ganho $45dB$, já se conseguiria obter uma potência de sinal que garanta um CNR próximo do das especificações pré-estabelecidas.

Assim, considerou-se um ganho de $45dB$ para a antena receptora, e uma distância entre antenas de $38453km$. Recorrendo a manuais do satélite em questão [14], retirou-se o EIRP (Equivalent

Isotropically Radiated Power) e calculou-se o valor da potência recebida. O valor obtido foi então de $-144.55dBW$. Na figura 5.3 (retirada também de [14]) é possível verificar os valores da potência recebida na superfície em diferentes locais.

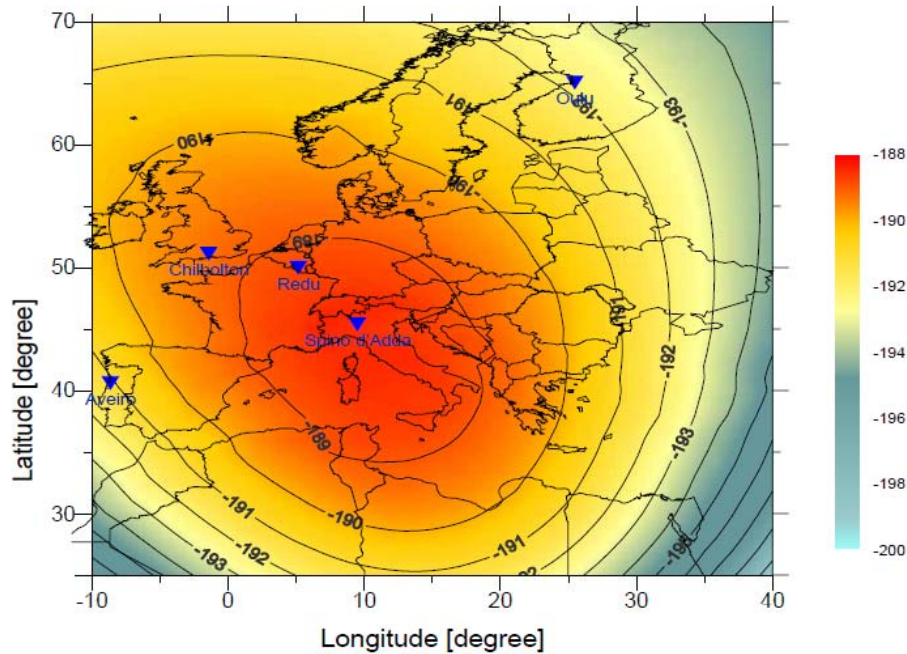


Figura 5.3: Beacon TDP5 Q Band, potência recebida no solo para 90% do tempo anual.

Sabe-se que entre a antena e o circuito receptor está um OMT(*Orthomode Transducer*) com aproximadamente $1dB$ de perdas, o que coloca a potência de sinal à entrada do sistema em $-145.55dBW$.

Potência do Sinal de Saída:

Pretende-se que o **USRP** receba uma onda de amplitude de $1V_{pp}$. Desta forma, o sinal à saída do sistema (entrada do **USRP**) deverá respeitar estes requisitos. Como os conectores do **USRP** têm uma resistência de entrada de 50Ω , a potência necessária é então de $0.01W$ ($-20dBW$).

5.1.2 Balanceamento do Ganho

Como foi analisado anteriormente, a potência de sinal à entrada do sistema será de $-145.55dBW$ e a potência pretendida à saída é de $-20dBW$. Assim, o sistema terá que ter um ganho total de aproximadamente $125dB$.

Uma vez que o *downconverter* MA3458 apresenta um ganho de $35dB$ (5.1), o restante circuito terá que ter um ganho aproximado de $90dB$. Pelo que foi visto na análise preliminar, este ganho será dividido pelas duas frequências intermédias IF_1 e IF_2 .

É também necessário considerar as perdas do misturador e dos filtros. Nesta primeira análise, recorreu-se a valores mais ou menos esperados para o tipo de dispositivos que se pensava utilizar. Serão então consideradas atenuações de $4dB$ nos filtros e $9dB$ no misturador (por ser do tipo rejeição de imagem).

Na análise inicial propôs-se a utilização de 4 amplificadores para garantir o ganho pretendido. Isso implicaria que, distribuído uniformemente o ganho, cada amplificador teria que ter um ganho

aproximado de $25dB$, para se atingir o ganho total.

Na prática, observou-se que não seria possível encontrar amplificadores com este ganho, que respeitassem as diferentes especificações do sistema. Desta forma, recorreu-se a certas modificações que podem ser observadas na figura 5.4.

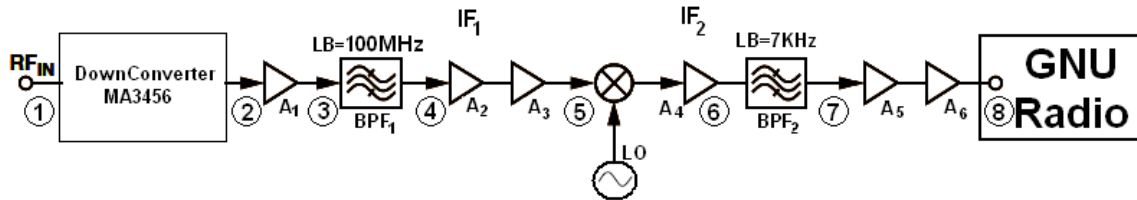


Figura 5.4: Diagrama de blocos representativo da implementação do sistema.

Relativamente à primeira frequência intermédia IF_1 , observou-se que seria difícil encontrar dispositivos de ganho tão elevado para a frequência em questão ($2GHz$). Desta forma, decidiu-se introduzir mais um amplificador neste andar do sistema, ficando assim com 3 amplificadores. Escolheu-se então A_1 com $18.3dB$, A_2 com $20.8dB$ e A_3 com $13.1dB$.

Quanto à segunda frequência IF_2 , aqui o problema foca-se mais nas limitações de potência de saída dos dispositivos (ponto de compressão de $1dB$ e $IP3$), de forma a não ocorrer distorção. Após serem efectuados os cálculos (mostrados mais à frente) optou-se por ter o amplificador A_4 com ganho de $17.8dB$, A_5 com ganho de $8.3dB$ e o amplificador A_6 com um ganho mais elevado de $31.5dB$. De salientar que à frequência de trabalho ($10.7MHz$), é possível encontrar amplificadores com ganhos substancialmente mais elevados.

Ponto de Compressão de $1dB$ e $IP3$:

Qualquer componente electrónico apresenta limitações a nível de potência do sinal de entrada. De referir que estas limitações não são unicamente referentes a valores de potência que danificam o componente. A partir de um determinado valor de potência à entrada o dispositivo deixa de funcionar de modo linear. Estas não linearidades ocorrem essencialmente por motivos de saturação do dispositivo e de distorções por intermodulação. Neste contexto, os parâmetros mais relevantes são o ponto de compressão de $1dB$ e o $IP3$.

O ponto de compressão de $1dB$ corresponde ao ponto em que valor de potência de saída apresenta um decréscimo de $1dB$ relativamente ao esperado. Ou seja é o ponto em que a resposta a um determinado nível de sinal de entrada deixa de ser linear.

O ponto de intersecção de 3ª ordem $IP3$ pode ser definido como sendo o ponto de intersecção entre a extensão linear do sinal fundamental à saída e a intermodulação de terceira ordem, versus a potência de entrada [26].

No sistema em análise, é importante garantir que os dispositivos funcionem todos de modo linear. Isto porque, como já foi referido, espera-se que o sinal de saída do sistema global seja uma imagem amplificada (por um valor constante) do sinal de entrada. Ou seja, independentemente da potência que se apresente à entrada, espera-se que à saída esse valor espelhe a potência somada a um valor constante em dB 's. Assim, cada dispositivo terá que ter uma potência à sua saída razoavelmente inferior aos valores de compressão de $1dB$ e $IP3$ dados pelo fabricante.

Tabela 5.2: Valores de alguns parâmetros ao longo da linha.

	Ponto ①	Ponto ②	Ponto ③	Ponto ④	Ponto ⑤	Ponto ⑥	Ponto ⑦	Ponto ⑧
Freq.(MHz)	39.400	2.000	2.000	2.000	2.000	10,7	10,7	10,7
Ganho (dB)	0	35	53,5	48,5	82,4	91,2	86,4	126,2
LB (MHz)	2000	500	500	100	100	100	0,7	0,7
Sinal (dBW)	-145,55	-110,55	-92,05	-97,05	-63,15	-54,35	-59,35	-19,55
Ruído (dBW)	-104,95	-75,97	-57,67	-69,46	-35,56	-26,76	-73,11	-33,31
SNR (dB)	-40,60	-34,58	-34,58	-27,59	-27,59	-27,59	13,76	13,76

5.1.3 Parâmetros ao Longo da Linha

Para serem verificadas as especificações do sistema, foi necessário efectuar-se uma análise cuidada de diversos parâmetros. De forma a garantir o funcionamento dos componentes na zona linear, efectuou-se o cálculo da potência de sinal e ruído ao longo do sistema. Também foi necessário calcular o SNR do sistema para atestar a viabilidade da implementação a nível do erro de medida.

Fizeram-se os cálculos estimando que o primeiro filtro passa banda terá uma largura de banda de aproximadamente 100MHz (5% da frequência central é um valor razoável), e o segundo filtro terá uma largura de $\pm 7\text{kHz}$ que é um valor típico para um filtro a cristal. Na tabela 5.2 são mostrados os valores calculados para os parâmetros ao longo da ligação. Os diferentes pontos no sistema, que foram considerados correspondem os locais de maior interesse e estão associados à figura 5.4.

Na tabela, o campo **Freq.** corresponde à frequência central do sinal. O campo **Ganho** refere-se ao ganho total do sistema até o ponto da ligação correspondente (ganho acumulado). Ou seja é a soma de todos os ganhos e subtracção das atenuações sofridas até ao ponto assinalado. Este parâmetro é importante para o cálculo da potência de ruído nesse ponto.

O **LB** é a largura de banda do espectro em estudo nos diferentes pontos, esta largura é definida pelos filtros passa banda pelos quais o sinal passa.

O campo **Sinal** não é mais do que a potência que se espera para o sinal nos diversos pontos da ligação. Esta potência é directamente somada pelo ganho dos amplificadores e subtraída pelas perdas nos restantes elementos.

Para o cálculo do ruído, foi necessário recorrer aos elementos que o caracterizam, tais como a largura de banda, a temperatura equivalente de ruído e ganho acumulado. Utilizou-se então a seguinte equação genérica do ruído:

$$P_{Ruido(dB)} = 10 \log (K \cdot (T_{eq} + T) \cdot B \cdot G_a) \quad (5.10)$$

Em que:

- K - Constante de Boltzman ($1,38 \times 10^{-23} (J/K)$);
- T_{eq} - Temperatura equivalente de ruído (K);
- T - Temperatura Ambiente (recebida pela antena) (270K);
- B - Largura de banda do sistema (no ponto a considerar) (Hz);
- G_a - Ganho Acumulado.

Com a temperatura equivalente do ruído do sistema calculada em 5.1.1, a largura de banda do espectro filtrado e o ganho total, facilmente se chega ao valor da potência do ruído esperado nos diversos pontos da ligação.

Finalmente, tem-se o SNR em cada ponto, que não é mais que a subtracção em dB da potência do

sinal pela potência do ruído.

Analisando agora os valores da tabela, facilmente se retira que a potência do sinal, até ao ponto ⑦, é inferior à potência de ruído. Assim, até este ponto, a potência de ruído é a que deve ser tomada em consideração para estudar a possibilidade de distorção dos dispositivos. É necessário garantir que a potência de ruído apresenta uma margem de $10dB$ relativamente ao ponto onde o dispositivo deixa de funcionar de modo linear. Isto porque, como se sabe, o valor do ruído é aleatório, podendo tomar amplitude de pico substancialmente maiores que o valor quadrático médio.

As potência de ruído até ao ponto ④ têm valores absolutos muito baixos, pelo que não se põem problemas de distorção. No ponto ⑤, a potência de ruído já é substancialmente mais elevada, é então importante verificar se estes valores se aproximam do $IP3$ e ponto de compressão de $1dB$ dos elementos constitutivos do misturador M_2 . Da análise dos *datasheets* dos componentes retirou-se que estes ainda funcionam de modo linear para estas potências de entrada.

À saída do amplificador A_4 tem-se uma potência de ruído de $6,76dBm$, o que implica um ponto de compressão de $1dB/ IP3$ mínimo de $16,76dBm$ neste amplificador. O amplificador escolhido apresenta valores ligeiramente inferiores, mas normalmente não ocorrerá problemas ($10dB$ de margem é um valor pessimista para as variações do ruído).

Após a última filtragem (ponto ⑦), a potência de sinal ultrapassa finalmente a potência de ruído. No amplificador A_5 a potência de sinal ainda é relativamente baixa para os padrões de ponto de compressão de $1dB$ e $IP3$ dos amplificadores escolhidos (na ordem dos $12dBm$). A potência de sinal máxima esperada à saída do sistema, ainda é inferior ao limites de saturação do último amplificador (A_6), não havendo problemas de linearidade.

Assim, com esta distribuição de ganho e com as filtrações esperadas, consegue-se assegurar um funcionamento linear de todos os componentes como é exigido pela aplicação.

Agora, relativamente ao $CNR_{\text{mínimo}}$, foi visto no início da análise de *Link budget* que um CNR de $30dB/Hz$ já possibilita uma boa detecção do sinal. Da tabela, retira-se que o SNR esperado à saída do sistema é de $13,76dB$. Pode-se estabelecer uma relação entre SNR_o e CNR_o da seguinte forma:

$$CNR_o = SNR_o + 10 \log(LB) \quad (5.11)$$

Como a largura de banda esperada à saída do sistema é de $7kHz$, o CNR_o esperado é de $51,16dB/Hz$. Desta forma, a gama útil para as medidas de propagação é de $21,6dB$ ($CNR_o - CNR_{\text{mínimo}}$). Nesta fase da análise, este valor de CNR já era esperado uma vez que já teria sido calculado para a escolha da antena receptora e do módulo de *downconversion*.

É importante referir que os valores obtidos na tabela 5.2 são valores estimados. Nesta fase, ainda não se tem o conhecimento integral das características de todos os elementos. Por exemplo, o valor da largura de banda e da atenuação na banda de passagem dos filtros ainda não é conhecido, pelo que os seus valores reais podem ser ligeiramente diferentes, o que provocaria algumas alterações nos parâmetros calculados.

5.1.4 Conclusões

Com esta análise de link budget obteve-se uma configuração possível para o sistema a implementar.

O CNR_o obtido não é muito elevado, o que deixa o sinal com pouca margem a nível de degradação. Uma forma de melhorar este parâmetro seria baixar o factor de ruído do primeiro *downconverter*, de modo a reduzir a temperatura equivalente de ruído do sistema, e consequentemente reduzir a potência do ruído em qualquer ponto da ligação.

Outra forma de melhorar o CNR_o seria aumentar o ganho da antena receptora para obter uma maior potência de sinal à entrada. Com uma maior potência de sinal à entrada, seria necessária menos amplificação do sinal e consequente menor amplificação do ruído associada.

5.2 Filtros

Em qualquer sistema receptor super-heterodino, a filtragem do sinal é um processo fundamental. É através da introdução de filtros na cadeia do sistema que se consegue controlar a sua largura de banda, e desta forma, ir eliminando a potência do ruído ou eventuais interferências. Ou seja, como a frequência do sinal está no centro da banda de passagem de cada filtro, garante-se que toda, ou quase toda a sua potência é transmitida, sendo filtradas apenas as componentes mais afastadas do sinal (ruído, frequências imagem, etc).

Assim, devido à sua importância, a implementação dos filtros a introduzir no sistema é um processo delicado e minucioso.

5.2.1 Filtro para os 2GHz

Este primeiro filtro passa-banda a desenvolver será introduzido na frequência intermédia do sistema de 2GHz. Para esta ordem de frequências não é possível construir um filtro com os componentes passivos utilizados a mais baixas frequências.

Para o sistema, como foi visto na análise de *link budget* um filtro com uma largura de banda de aproximadamente 100MHz e uma atenuação na banda de passagem não muito elevada (por volta dos 7dB), seria o suficiente. Como a largura de banda pretendida é bastante estreita e não é necessária uma reposta em frequência na banda de passagem muito plana, poder-se-á recorrer a um filtro menos complexo.

O primeiro filtro que se pensou usar foi um filtro de linhas *micro-strip* acopladas. Este tipo de filtro funciona como sendo dois circuitos fracamente acoplados. Ou seja, as duas linhas *micro-strip* estão lado a lado, uma delas, o circuito de entrada, está ligada fisicamente à linha de sinal, a outra linha é o circuito de saída.

As entradas funcionam como uma tomada de auto-transformador e a linha é globalmente um circuito ressonante acoplado a outro igual (fig. 5.5).

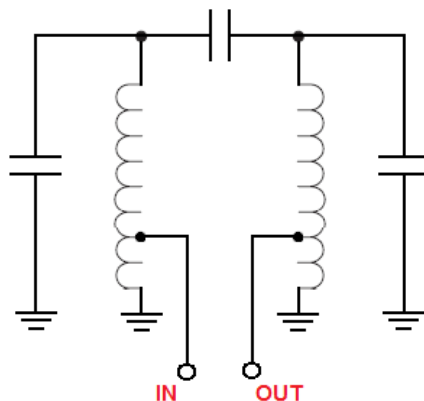


Figura 5.5: Equivalente eléctrico da implementação do filtro passa-banda.

Para implementar o filtro em questão, utilizou-se o programa **Microwave Office** que permite uma simulação do seu desempenho. Foram calculados, com auxílio da ferramenta **LX Line** do programa **Microwave Office**, a largura das linhas micro-strip à entrada e saída do filtro, que garantissem uma impedância de 50Ω . Fez-se uma aproximação inicial para que o comprimento das linhas acopladas tivesse aproximadamente $\lambda/4$ a 2GHz. Para tentar aproximar a simulação ao sistema real, introduziu-se no programa os parâmetros da placa: permitividade relativa $\epsilon_r = 4.7$ e espessura de $0.8mm$.

Simulou-se então a resposta em frequência do filtro, ajustando-se o valor da distância entre linhas e o comprimento das linhas acopladas para o otimizar. Com o ajuste do comprimento das linhas acopladas, garantiu-se a sintonia do filtro nos 2GHz, e com o ajuste do espaçamento entre elas, tentou-se minimizar as perdas e a largura de banda.

Na figura 5.6 pode-se observar um esquema representativo do filtro em questão, onde L_1 ($Length_1$) é o comprimento das linhas acopladas, W ($width$) é a sua largura, S ($spacing$) é a distância entre as duas linhas e L_2 ($length_2$) é a distância entre a ligação à massa e a entrada/ saída do sinal. Os valores finais otimizados das medidas para o filtro foram os seguintes: $L_1=17,3mm$; $W=1,46mm$; $S=2,2mm$; $L_2=2,18mm$.

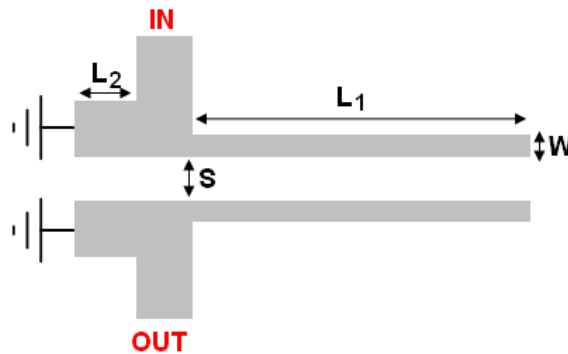


Figura 5.6: Ilustração esquemática do filtro *microstrip* implementado.

Com estes valores, na simulação conseguiu-se um filtro com largura de banda de 125MHz e perdas na banda de passagem de $1,2dB$.

Decidiu-se implementar na prática uma placa com o filtro, com o intuito de se testar a sua viabilidade no sistema. Foi utilizada uma placa com espessura H de $0.8mm$ e uma permitividade dada pelo fabricante de aproximadamente 4,7. Na figura 5.7 pode-se ver uma imagem desta placa com o filtro.

Fez-se então, com a ajuda de um analisador de redes, um estudo da resposta em frequência do filtro dimensionado. Obteve-se um filtro com perdas na banda ligeiramente superiores ao esperado ($4dB$) e com uma largura de banda de 140MHz.

O filtro encontrava-se ligeiramente dessintonizado, tendo uma frequência central de 2,085. Esta diferença deve-se muito provavelmente ao valor do ϵ_r da placa dielétrica utilizada. Por não ser uma placa de grande qualidade, os valores de ϵ_r poderão variar com a frequência, alterando as características da linha. No caso de ser um valor inferior ao esperado, é normal que as linhas comecem a acoplar-se para uma frequência superior.

Quanto ao facto das perdas serem um pouco superiores ao simulado, é muito normal que se devam às perdas no dielétrico (maior $\tan \delta$) e conectores.

De salientar que o filtro se encontra bem adaptado, pelo que não apresentará grandes perdas por reflexão.

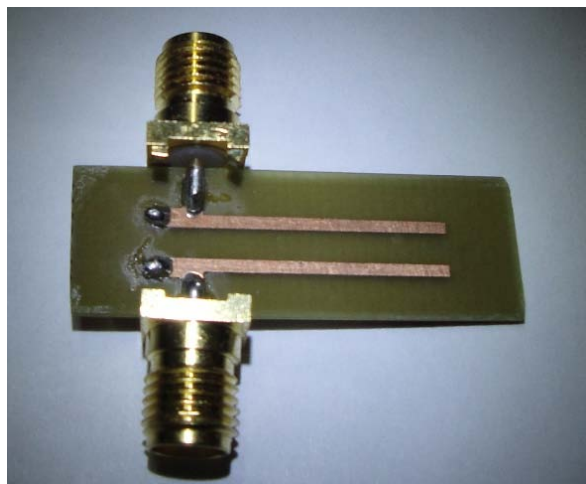


Figura 5.7: Filtro *microstrip* utilizado para os testes práticos.

Apesar do filtro apresentar perdas um pouco superiores ao esperado, a sua largura de banda obedece grossomodo às exigências. Desta forma, foi aceite a possibilidade de utilização deste filtro no sistema.

Decidiu-se criar outro filtro, que atendesse às mesmas exigências para ponderar a sua utilização em detrimento do filtro em *microstrip*.

O princípio de funcionamento do filtro desta segunda implementação é aproximadamente o mesmo, a diferença fundamental está no método de propagação do sinal. Aqui, as linhas acopladas são fios de cobre em paralelo com um plano de massa, tendo como material dielétrico o ar. Trata-se de duas linhas ressonantes (uma extremidade está em aberto e outra em curto-circuito) com uma tomada junto ao curto circuito que faz a transformação de impedâncias. O acoplamento depende da distância entre linhas e distância das linhas à massa.

Na figura 5.8 pode-se observar o esquema da implementação de um filtro deste tipo. O sinal que vem de um cabo é inserido no fio de cobre a uma distância L_2 da curvatura para plano de massa. Este fio de cobre tem um comprimento L_1 e está a uma distância H do plano de massa. A outra linha é exactamente igual à primeira, estando a uma distância S da mesma. Através das letras representativas das diferentes distâncias neste filtro, facilmente se pode fazer uma analogia ao primeiro filtro implementado.

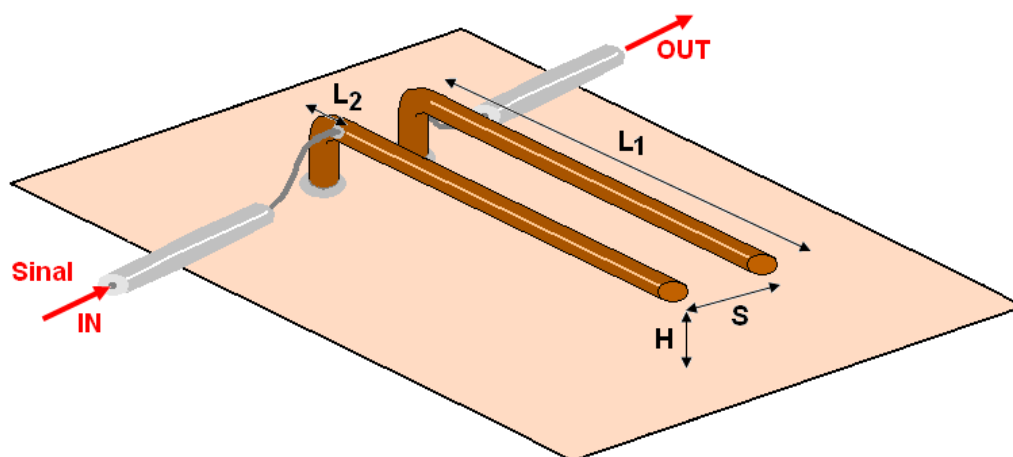


Figura 5.8: Ilustração esquemática do filtro de linhas acopladas implementado.

Aqui, as linhas em vez de terem um comprimento de $\lambda/4$, preferiu-se utilizar um comprimento de $\lambda/2$. Construiu-se o filtro conforme mostrado na figura 5.9. Tendo uma das linhas acopladas fixas num ponto, foram feitos vários furos no plano de massa, que tinham como objectivo possibilitar a introdução da segunda linha acoplada a diferentes distâncias da primeira. Começou-se por sintonizar o filtro, cortando pouco a pouco as linhas de cobre até se ter uma frequência central de aproximadamente 2GHz. Consegui-se isto para um comprimento de linha L_1 de 3.4cm. De seguida, foram-se variando as distâncias entre linhas (S), o ponto de inserção (L_2), e a distância ao plano de massa(H), de modo a conseguir-se otimizar as perdas na banda de passagem e diminuir a largura de banda de passagem do filtro. De notar que ao contrário do filtro anterior, neste filtro também se consegue alterar a distância ao plano de massa.

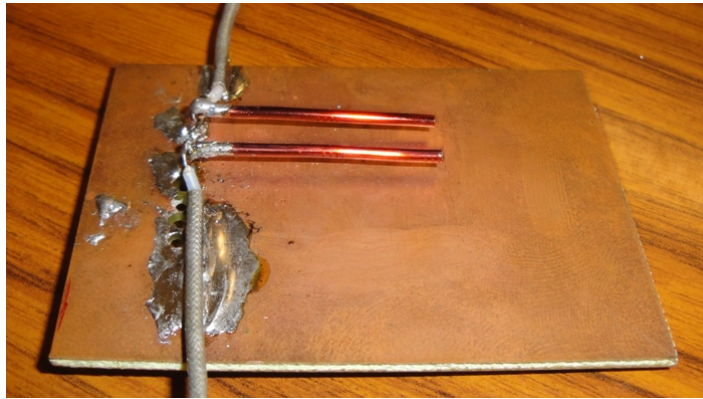


Figura 5.9: Filtro de linhas acopladas utilizado para os testes práticos.

Mais ou menos empiricamente, conseguiu-se ir melhorando a resposta do filtro substancialmente. Terminou-se com uma largura de banda de 20 MHz e perdas na banda de passagem na ordem dos 3,6dB. Pode-se concluir que, com esta segunda implementação, se conseguiu um filtro com uma resposta em frequência mais satisfatória que o esperado.

Mas, para se escolher um dos dois filtro produzidos, teve que se entrar com outros factores de comparação. O primeiro filtro, comparativamente ao segundo, por ser do tipo *microstrip* está mais isolado relativamente a ruído externo ao sistema e não sofrerá problemas de sintonia se encerrado numa caixa. As linhas acopladas do segundo filtro funcionam como antenas, que poderão receber sinais do meio envolvente prejudiciais ao sistema. Outra vantagem do primeiro filtro relativamente ao segundo é o seu tamanho. Por ser bastante mais compacto, pouparia uma área considerável no circuito impresso do sistema.

Desta forma, ponderando as vantagens e desvantagens dos dois filtros, decidiu-se usar o primeiramente implementado. A largura de banda que se conseguiu é a suficiente para garantir uma eficiente redução da potência de ruído.

5.2.2 Filtro para os 10.7MHz

Este filtro será introduzido no andar da IF_2 e fará a última filtragem do sinal antes de este ser introduzido no SDR. Deverá ter também uma largura de banda muito estreita de forma a aproveitar a gama dinâmica das ADC. Com uma frequência intermédia IF_2 de 10.7MHz, resolveu-se implementar um filtro com largura de banda de 7kHz.

Dadas estas especificações, decidiu-se recorrer a um filtro a cristal, por ser uma implementação que garante um excelente precisão a nível de frequência central, e uma largura de banda bastante estreita.

Como foi visto em capítulos anteriores, existem cristais que apresentam propriedades piezoelectri-

cas. Isto faz com que estes materiais possuam um factor de qualidade (Q) bastante elevado, apresentado desta forma, uma resistência série baixa para a frequência de ressonância. Assim, o cristal poderá ser usado como filtro centrado na sua frequência de ressonância, e com uma largura de banda muito mais estreita do que a conseguida com filtros LC .

Para este projecto decidiu-se utilizar um filtro a cristal monolítico, por ser um tipo de filtros bastante fiável e com uma implementação simples e compacta.

O filtro utilizado, necessita de "ver" aos seus terminais de entrada e de saída uma impedância de $1820\Omega//5pF$ de maneira a ter a resposta em frequência especificada pelo fabricante. A transformação da impedância de 50Ω na impedância exigida é efectuada por um circuito ressonante L/C com transformador capacitivo. O circuito ressonante é dimensionado para um valor de Q relativamente baixo e depois ligeiramente dessintonizado (fig. 5.10).

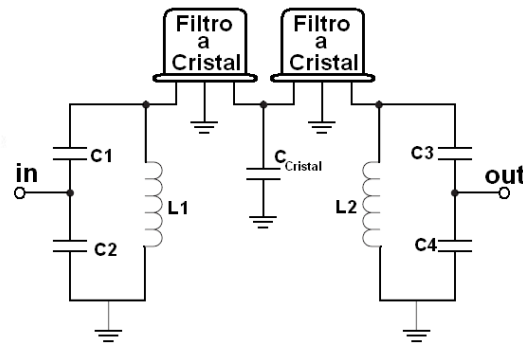


Figura 5.10: Filtro a cristal com o respectivo circuito ressonante.

É necessário agora calcular os valores dos diferentes elementos para o filtro ressonante. Para não haver desadaptação da linha, deve-se ver à entrada e à saída do filtro uma impedância de 50Ω , fica-se assim com $R_{i/o}=50\Omega$. Por outro lado, o filtro têm que "ver" $1820\Omega//5pF$, o que equivale a uma impedância de aproximadamente 1500Ω , ficando-se com $R_T=1500\Omega$.

Para começar, é necessário impor um factor de qualidade ao filtro. O factor de qualidade Q é dada por:

$$Q = \frac{f_o}{LB} \quad (5.12)$$

Para o cristal é conveniente ter-se um filtro de adaptação com um baixo factor de qualidade. Um valor de Q admissível para este filtro é de 9, o que implica que a largura de banda seja de aproximadamente 1.1MHz. Recorrendo às equações retiradas de [40]:

$$C = \frac{1}{2\pi \cdot LB \cdot R_T} \quad (5.13)$$

e

$$L = \frac{\omega_o^2 C}{LB} \quad (5.14)$$

obtém-se $C=97pF$ e $L=2.28\mu H$.

Agora é necessário obter a relação N de transformação que permite chegar ao valor de C_1 e C_2 a partir de C . Neste caso, a relação de transformação é dada por:

$$N = \left(\frac{R_T}{R_{I/O}} \right)^{\frac{1}{2}} \quad (5.15)$$

substituindo R_T por 1500 e $R_{I/O}$ por 50, fica-se com um $N = 5,48$.

Com esta relação de transformação, os valores para C_1 e C_2 calculam-se com:

$$C_2 = N \cdot C \quad (5.16)$$

$$C_1 = \frac{C_2}{N - 1} \quad (5.17)$$

Assim, $C_1 = 119pF$; $C_2 = 531pF$.

Na prática, o valor de C_1 foi conseguido com um condensador de $100pF$ em paralelo com um de $18pF$. Para obter o valor de C_2 utilizou-se um condensador de $470pF$ em paralelo com um de $62pF$. E finalmente, para obter o valor de $2,28\mu H$ para L , recorreu-se a um indutor variável da **Bürklin** de $2,2 \pm 0,11\mu H$.

5.3 Mixer de Rejeição de Imagem

A frequência imagem é uma entrada indesejada de sinal para o misturador. O problema advém do factor do sinal RF pretendido e a frequência imagem indesejada serem convertidos numa mesma frequência intermédia (IF). Esta frequência encontra-se acima ou abaixo da frequência do oscilador local (LO) a uma distância em frequência igual à frequência intermédia.

Utilizando o exemplo da figura (5.11), se a frequência f_{RF1} for o sinal de entrada pretendido, então f_{RF2} é a frequência imagem. O sinal pretendido e a imagem são "misturados" com o LO e são convertidos na mesma frequência intermédia.

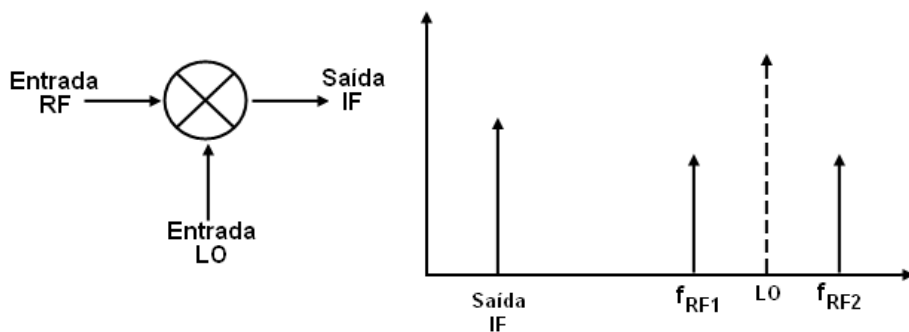


Figura 5.11: Exemplo ilustrativo da formação de uma frequência imagem num processo de mistura de frequências.

Isto causa um problema uma vez que, os dois produtos da conversão de frequência interferem entre eles, já que ambos estão presentes na mesma frequência de saída. Como consequência, o ruído ou qualquer sinal interferente sobrepõe-se na saída do misturador ao sinal desejado.

Portanto, é fundamental arranjar mecanismos que suprimam esta frequência imagem, pois no nosso caso, não havendo outro sinal na frequência imagem, a potência de ruído contida nesta iria degradar a SNR em $3dB$, e consequentemente, iría-se ter a mesma perda de gama dinâmica.

O mecanismo mais simples para efectuar essa supressão da imagem consiste em introduzir, antes do misturador, um filtro que rejeite a banda onde se encontra a imagem deixando passar o sinal pretendido. Nos casos em que a frequência intermédia é elevada, esta implementação é plausível, uma vez que a frequência pretendida e a imagem estão bastante afastadas (duas vezes a IF). Mas nos casos em que a IF é baixa, as duas frequências de entrada ficaram muito próximas, o que obrigaria a utilização de um filtro muito selectivo (estrito) para eliminar a imagem sem excluir também o sinal pretendido. Estes filtros com elevada selectividade são muito complexos e difíceis ou mesmo impossíveis de implementar em alguns casos. Uma alternativa seria sempre introduzir uma IF adicional que complicaria o *hardware* do receptor e exigiria mais um oscilador local.

Os misturador de rejeição de imagem (IRM), têm então um papel muito importante na construção de um receptor super-heterodino, tornando-os menos complexos e dispendiosos. Os misturadores de rejeição de imagem simplificam a conversão de frequência empregando técnicas de cancelamento de fase para separar os produtos da frequência imagem e da frequência RF desejada. Nestes misturadores, os dois produtos da mistura são separados e canalizados para duas saídas independentes, para serem utilizados ou eliminados posteriormente.

Para realizar isto, são precisos dois misturadores, alimentados por dois sinais LO em quadratura (fig. 5.12). A mistura de frequências pretendida é a mesma em ambos os ramos IF_1 e IF_2 , mas a mistura com a frequência imagem está em quadratura. Assim, quando é feita a simples adição do sinal dos dois ramos, a componente da mistura da frequência imagem é eliminada.

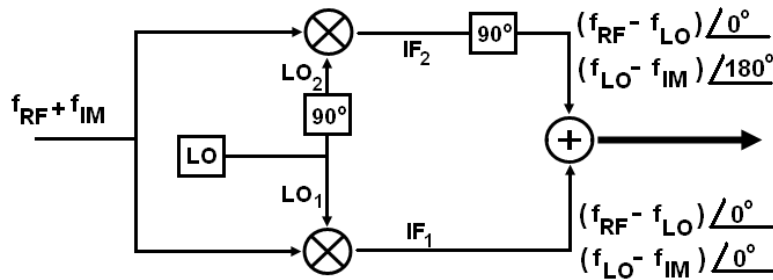


Figura 5.12: Representação esquemática de uma possível implementação para um misturador de rejeição de imagem.

Se o sinal de entrada desejado for $\cos(\omega_s t)$ e o sinal imagem $\cos(\omega_i t)$ e,

$$LO_1 = \sin(\omega_{LO} t);$$

$$LO_2 = \cos(\omega_{LO} t);$$

com

$$\omega_s - \omega_{LO} = \omega_{LO} - \omega_i \quad (5.18)$$

Então o sinal IF_1 é dado por:

$$A \cos(\omega_s t) \sin(\omega_{LO} t) + B \cos(\omega_i t) \cos(\omega_{LO} t) =$$

$$= -\frac{A}{2}\sin(\omega_{IF}t) + \frac{B}{2}\cos(\omega_{IF}t) \quad (5.19)$$

E o sinal IF_2 será dado por:

$$\begin{aligned} A\cos(\omega_s t)\cos(\omega_{LO}t) + B\cos(\omega_i t)\cos(\omega_{LO}t) = \\ = -\frac{A}{2}\cos(\omega_{IF}t) + \frac{B}{2}\cos(\omega_{IF}t) \end{aligned} \quad (5.20)$$

Após o shift de 90° na frequência, fica:

$$\begin{aligned} \frac{A}{2}\cos(\omega_{IF}t + \frac{\pi}{2})\cos(\omega_{LO}t) + \frac{B}{2}\cos(\omega_{IF}t + \frac{\pi}{2}) = \\ = -\frac{A}{2}\sin(\omega_{IF}t) - \frac{B}{2}\sin(\omega_{IF}t) \end{aligned} \quad (5.21)$$

Desta feita, o sinal à saída é $-A\sin(\omega_{IF}t)$ e a frequência imagem é cancelada.

Esta é uma das implementações possíveis para um misturador de rejeição de imagem, e tem o nome de Arquitectura *Hartley*.

De salientar que para se obter uma boa rejeição da imagem, deverá haver um grande rigor tanto a nível da amplitude como da fase dos dois produtos que vão ser somados. Ou seja, as duas amplitudes deverão ser o mais próximas possíveis e o seu desfasamento o mais perto possível dos 180° , para que haja um cancelamento satisfatório.

No sistema em estudo, tem-se um misturador que fará a mistura de frequências do oscilador local e o nosso sinal a $2GHz$, gerando a IF de $10.7MHz$. Com estas frequências, obtém-se uma imagem muito próxima do sinal pretendido, sendo assim importante a utilização de um misturador de rejeição de imagem. Na prática, foi escolhida a arquitectura *Hartley* para construção do misturador de rejeição de imagem, por ser uma arquitectura pouco complexa e bastante eficaz.

Os misturadores utilizados para implementação do IRM são os **ADE-R20+** da **Mini-Circuits**. Estes *misturadores* têm uma gama de funcionamento dos 1.5 aos $2.8GHz$, com perdas de conversão de $5.79dB$ (para a frequência de $2GHz$). Necessitam de $7dBm$ de potência do LO como é normal neste tipo de misturador duplamente balanceado e usando um anel de díodos. Foi escolhido este modelo por, para além de ser um modelo de alta fiabilidade, apresentar um valor de $IP3$ e ponto de compressão de $1dB$ adequado ao sistema em desenvolvimento.

O desfasamento entre os dois sinais LO_1 e LO_2 é conseguido com recurso à introdução de uma linha de transmissão de comprimento $\lambda/4$ no caminho de LO_2 . Isto corresponde a atrasar neste ramo o sinal LO em 90° . Retirando LO_2 deste local e LO_1 directamente do LO, alcança-se então o conjunto de sinais com o desfasamento pretendido entre si.

Para se calcular o comprimento de onda do sinal no cabo em questão é necessário recorrer à fórmula:

$$\lambda = \frac{v_p}{f} \quad (5.22)$$

em que:

v_p - Velocidade de propagação;
 f - Frequência

e

$$v_p = \frac{c}{\sqrt{\epsilon_r}} \quad (5.23)$$

com:

c - Velocidade de propagação no vazio (velocidade da luz);

ϵ_r - Permittividade relativa do condutor

Mas, para o cabo utilizado, não se tinha disponível o valor de permissividade relativa, o que impossibilitava a obtenção do valor de λ . De maneira a contornar este problema, o referido parâmetro foi avaliado experimentalmente. Para tal, utilizou-se um segmento curto (11,2cm) do cabo em questão em curto circuito e um analisador de redes.

Antes de mais nada, é fundamental calibrar o analisador, para que os comprimentos dos cabos de teste sejam compensados. Medindo o coeficiente de reflexão S_{11} (na forma de carta de *Smith*), para DC, o cabo tem que ser visto como um curto circuito. Sabe-se que aumentando a frequência, a impedância do cabo vai variando, dando "voltas" ao longo da periferia da carta de *Smith*. Para um comprimento de linha de $\lambda/4$ ocorre um desfazamento de 180° em termos do ângulo do coeficiente de reflexão. Desta forma, no analisador de redes, ao observar-se um deslocamento da impedância do curto circuito para o circuito aberto, implica que para essa frequência, o cabo tenha comprimento $\lambda/4$. Na prática a frequência obtida foi de 444,4MHz. Para garantir que esta frequência correspondia mesmo ao pretendido, verificou-se que para 888,8MHz a impedância do cabo voltou a ser 0Ω (curto circuito), ou seja o cabo passava a ter $\lambda/2$ e assim sucessivamente. Ora, como a cada 444,4MHz o cabo passa a medir mais um quarto do comprimento de onda, é possível fazer-se uma relação entre a velocidade de propagação e a frequência.

Ao transformar a equação 5.22 em função de v_p fica-se com:

$$v_p = \lambda \cdot f$$

E substituindo λ por $(4 \times 11,2\text{cm})$ e f por 444,4MHz, chega-se a uma velocidade de propagação de $1,99 \times 10^8\text{m/s}$. O que indica que o cabo tem uma constante de permissividade, ϵ_r de 2,27 que é afinal um valor muito comum para os cabos coaxiais deste tipo.

Finalmente, recorrendo à equação 5.22 facilmente se retira que o comprimento de onda no cabo a 2GHz é de 9,95cm. Assim, para efectuar o desfazamento pretendido inicialmente, foi utilizado um cabo de 2,49cm.

Através deste processo, consegue-se obter alguma reconfigurabilidade no IRM em termos de frequência. Caso, no futuro, o sistema tenha que funcionar a uma frequência diferente, é possível ajustar a frequência de funcionamento do IRM com uma simples alteração do comprimento do referido cabo.

Para efectuar a soma de IF_1 e IF_2 , recorreu-se ao **JYPQ-16** também da **Mini-Circuits**. O componente em questão, para além de efectuar a soma de dois sinais introduz um atraso de 90° em um deles. Neste caso, este componente irá atrasar o sinal IF_2 , 90° somando-o a IF_1 . Alcança-se então o sinal que corresponde à mistura de frequências pretendida.

Tabela 5.3: Características dos amplificadores da IF_1

	GALLI-55+	LEE-39+	GALLI-21+
Ganho a 2GHz (dB)	18,5	20,8	13,1
Largura de Banda (GHz)	0-4	0-8	0-4
Ponto de compressão 1dB (dBm)	15,0	11,6	12,6
IP3 (dBm)	28,5	23,4	27
Tensão de polarização (V)	4,3	3,5	3,5
Corrente de polarização (mA)	50	35	40
Resistências de polarização (Ω)	150 (300//300)	249 (510//510)	210 (430//430)

5.4 Amplificadores

Num sistema, os amplificadores são os dispositivos responsáveis pelo aumento da potência do sinal para os valores requeridos. São dispositivos com especificações bastante variadas, cada um projectado para funcionar mediante diferentes condições. Condições estas como largura de banda de funcionamento, potência à entrada, estabilidade de temperatura, tensão de alimentação, ponto de compressão a 1dB, etc. É então muito importante ter em conta todos estes factores na escolha de um amplificador, garantindo assim que o dispositivo disponibiliza o ganho que é desejado.

Para o sistema em questão, o factor estabilidade de temperatura não é muito relevante. O circuito estará num meio protegido, no qual não haverá amplitudes térmicas elevadas, de maneira que as alterações do ganho com a temperatura serão irrisórias, no entanto será sempre conveniente caracterizá-la. Por ser uma marca bastante fiável e da qual se tinha boas referências, decidiu-se utilizar amplificadores MMICs da **Mini-Circuits**, tanto para a IF_1 como para a IF_2 . Os MMICs são fáceis de usar e, às custas de um razoável consumo de potência, apresentam uma impedância de 50Ω e um ganho estável numa elevada largura de banda.

5.4.1 Amplificadores para a IF_1

Segundo a análise preliminar feita na secção 5.1.2, nesta fase já se tinha uma ideia pré-estabelecida do valor dos ganhos dos amplificadores a adquirir. É necessário amplificar um sinal a 2GHz, pelo que restringiu-se a escolha de componentes a amplificadores com ganho a altas-frequências. Após ponderar as diferentes hipóteses disponíveis, optou-se pelos seguintes amplificadores:

- Amplificador 1 (A_1 da figura 5.4)-**GALI-55+**;
- Amplificador 2 (A_2)- **LEE-55+**;
- Amplificador 3 (A_3)-**GALI-21+**.

Na tabela 5.3 são mostradas as características principais dos amplificadores escolhidos.

Relativamente à polarização dos amplificadores, partindo do princípio que a alimentação fornecida é de +12V, calculou-se o valor da resistência polarização. Utilizando os valores de corrente e tensão de polarização retirados dos *datasheets*, facilmente se chegou aos valores de resistências mostrados na tabela. Na prática, teve que se ter em conta a dissipação de potência nas resistências. Foram utilizadas resistências com dissipação máxima de 0,25W, no entanto qualquer um dos três amplificadores obriga uma dissipação superior. Desta forma, para cada valor foram usadas duas resistências idênticas em paralelo (valor entre parênteses na tabela), que dissipam metade da potência.

Em grande parte dos amplificadores de RF, caso o circuito de polarização não esteja desacoplado para sinal, ocorrem perdas significativas de potência de sinal. Estas perdas são dadas por:

$$G_{loss} = 20 \log \left(\frac{2R_{bias} + 50}{2R_{bias}} \right) \text{ (dB)} \quad (5.24)$$

em que R_{bias} é a resistência de polarização.

Daqui, facilmente se pode observar que, para resistências de polarização baixas, se obtém perdas consideráveis no sinal. Assim, para colmatar este problema, pode-se aumentar a impedância de entrada do circuito de polarização. Para tal, é comum introduzir-se uma indutância em série com as resistências de polarização. Este elemento isolador é comumente conhecido por *RF-Choke*. Na prática, utilizou-se um *RF-Choke* da **MINI-MINICIRCUITS**, o **ADCH-80A+**. Estes são *RF-Chokes* de banda bastante larga (cobrem frequências dos 50 aos 10000MHz) e ideais para aplicações como esta.

Ainda em relação à alimentação dos amplificadores, é importante garantir que haja um bom isolamento em termos de ruído entre o amplificador e a alimentação. Este isolamento previne que possíveis ruídos da alimentação cheguem ao amplificador, ao mesmo tempo que previne que o sinal à saída do amplificador venha a corromper as vias de alimentação. Este isolamento bidireccional normalmente é conseguido com a utilização de condensadores (denominados *bypass capacitors*), condensadores estes que são ligados em paralelo com a linha de alimentação à Terra. No circuito em questão, foram utilizados dois condensadores de *bypass* em cada amplificador, um condensador de $15pF$ destinado a filtrar as frequências mais elevadas, e um de $150pF$ para as componentes de mais baixa frequência.

Agora, é necessário bloquear a componente DC à entrada e saída do amplificador. A melhor forma de o fazer é com condensadores em série (conhecidos como *blocking capacitors*). Estes condensadores deverão ter uma impedância muito baixa a 2 GHz e virtualmente infinita para DC. Assim, nesta secção de frequência intermédia (IF_1) recorreu-se a condensadores cerâmicos de $15pF$ que oferecem poucos *ohms* de impedância e ao mesmo tempo não têm valor nominal elevado que possa comprometer o seu desempenho a estas frequências. Na figura 5.13 pode ser visto um esquema eléctrico da disposição dos diversos elementos relativamente ao amplificador.

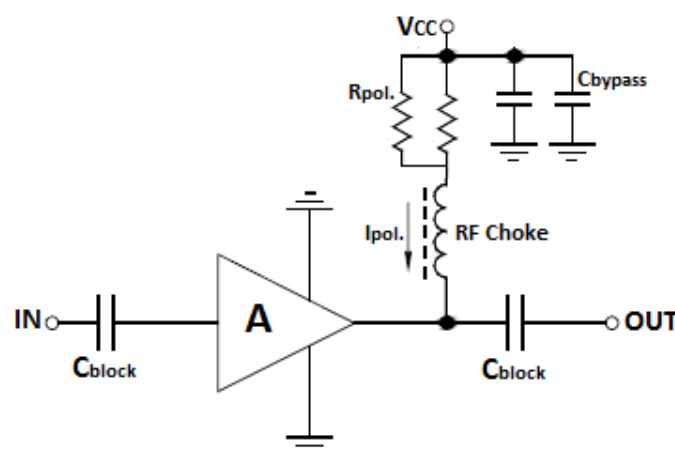


Figura 5.13: Circuito de alimentação de um MMIC.

A estas frequências, outro factor que pode influenciar em grande medida o desempenho de um amplificador é o *layout* da placa onde está inserido. Assim, neste projecto, foram tomadas diversas

Tabela 5.4: Características dos amplificadores da IF_2

	MAR-1SM+	MAR-4+	MAR-8A+
Ganho a 2GHz (dB)	17,8	8,3	31,5
Largura de Banda (GHz)	0-1	0-1	0-1
Ponto de compressão 1dB (dBm)	12,5	12,5	12,5
IP3 (dBm)	14	25,5	25
Tensão de polarização (V)	5,0	5,25	3,7
Corrente de polarização (mA)	17	50	36
Resistências de polarização (Ω)	412(820//820)	133 (270//270)	226 (430//470)

medidas a nível do *layout* de maneira a garantir um funcionamento óptimo dos vários amplificadores. Mas este assunto é deixado para a secção 5.7 deste capítulo, onde será abordado com mais algum detalhe.

5.4.2 Amplificadores para a IF_2

Na secção do circuito relativa à frequência intermédia 2, não são exigidas características tão rígidas aos elementos. Uma vez que aqui a frequência é substancialmente mais baixa, é possível utilizar amplificadores com menor largura de banda. Assim, é conveniente escolher amplificadores com largura de banda mais reduzida, que para além de serem mais baratos, têm menos possibilidades de oscilarem. Todos os amplificadores seleccionados são da série **MAR** da **MINI-MINICIRCUITS**, que correspondem às necessidades de ganho e largura de banda do sistema. Mais especificamente:

- Amplificador 4 (A_4 da figura 5.4)-**MAR-1SM+**;
- Amplificador 5 (A_5)- **MAR-4+**;
- Amplificador 6 (A_6)-**MAR-8A+**.

Da tabela 5.4, podem ser retiradas as principais características de cada amplificador.

Todas as considerações feitas para os componentes envolvidos no circuito de amplificação da IF_1 , também foram feitas para os da IF_2 , com a diferença de se adaptar os diferentes valores às condições de frequência desta secção. As resistências de polarização foram calculadas para os novos amplificadores. Aqui, pelas mesmas razões, foi novamente requerida a utilização de duas resistências de polarização para cada amplificador.

Os condensadores de *bypass*, para serem mais eficazes na filtragem aos 10,7MHz terão que ter valores mais elevados. Em cada amplificador recorreu-se a um condensador de $3,3nF$ e outro de $33nF$ para o efeito. Pela mesma razão, os valores dos *blocking capacitors* também foram aumentados para os $3.3nF$, que para 10,7MHz têm uma impedância muito mais baixa.

Ao contrário do que acontecia na IF_2 , aqui os *RF-chokes* não têm que ter características tão rígidas pelo que não se utilizou um componente específico para a função. Utilizou-se sim, uma indutância série de $3,3\mu H$ com impedância bastante superior a 50Ω aos 10,7MHz.

Teve-se o cuidado de colocar à saída o amplificador com o ponto de compressão de 1dB mais elevado, já que é neste ponto que a potência de sinal atinge valores mais elevados.

O esquema final da implementação bem como a distribuição dos componentes nas placas de condicionamento de sinal podem ser vistos na figura A.2 e A.4 respectivamente, do anexo A.

5.5 Oscilador de Referência

Para eliminar possíveis produtos de intermodulação, devido à utilização de vários osciladores locais e por razões económicas (um oscilador a cristal com bom ruído de fase e estabilidade de frequência é caro), é habitual usar apenas um oscilador a cristal de excelente desempenho (osciladores a cristal com temperatura controlada em forno) para todo o sistema. Todos os outros LO que forem necessários são derivados deste. Assim, para este projecto, será utilizado um oscilador a cristal como referência para todos os elementos. Ou seja, tanto o oscilador local para o primeiro *downconverter* como o oscilador local para a IF_2 (PLL) terão como referência um mesmo sinal.

É importante que este oscilador tenha um bom ruído de fase, já que este ruído contribuirá para distribuir na frequência a potência do sinal recebido obrigando a alargar a banda de detecção e consequentemente a reduzir a gama dinâmica do receptor

Optou-se então, a título de exemplo neste caso e por estar disponível, por um OCXO da **MITEQ**, o **XTO-05-110.9373-G-15P**. Gera uma frequência de 110.9373MHz com uma potência de 11dBm. Assim, este cristal apresenta uma estabilidade muito boa a nível de frequência, como se pode comprovar pelo gráfico da figura 5.14 que nos mostra a sua resposta em termos de ruído de fase (retirado do *datasheet* do componente).

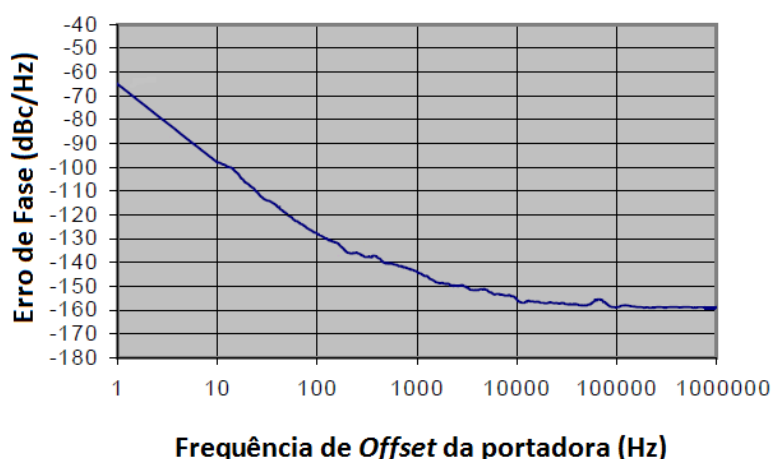


Figura 5.14: Ruído de fase típico do oscilador a cristal utilizado.

Este oscilador, para frequências de offset tão próximas da portadora como 100Hz, já apresenta ruído de fase na ordem dos -130dBc/Hz. São valores bastante baixos e que correspondem às exigências do sistema. Convém contudo recordar que o primeiro oscilador local é derivado por multiplicação deste, pelo que o ruído de fase se degrada substancialmente.

5.6 Unidade de Síntese

Nesta fase, é necessário criar um mecanismo de compensação que garanta uma boa estabilidade do sinal de saída, para que a sua aquisição nunca seja perdida. O melhor local para fazer esse ajuste é o ponto onde ocorre a conversão de frequências ($IF_1 - IF_2$). Controlando-se a frequência do LO, é possível controlar de forma directa a frequência de saída do sistema. Ora, a frequência de LO terá que ser criada de alguma forma. Ao elemento responsável pela criação deste oscilador local dar-se-á o nome de unidade de síntese.

Portanto, pode-se afirmar que a unidade de síntese deste sistema pode ser considerada o ponto fundamental de todo o projecto. É esta unidade que permitirá compensar as derivas de frequência do *beacon* do satélite. Pretende-se ainda que possibilite a reconfigurabilidade do nosso sistema, tornando-o mais flexível e com possibilidade de se adaptar a possíveis receptores para outras frequências.

5.6.1 Requisitos do Sistema

O sinal recebido terá uma frequência esperada de 39,4 GHz, que será imediatamente transformada em 2GHz pelo primeiro *downconverter* do sistema receptor. Para se chegar aos 10,7MHz da IF₂, é necessário utilizar-se um LO de 1,9893GHz ou de 2,0107GHz. Neste caso, usar-se-á uma LO de 2,0107GHz que é a frequência para a qual o IRM foi implementado.

Espera-se que o sinal satélite recebido apresente oscilações de frequência na ordem dos 20kHz em torno da frequência central, ou seja, o sinal de entrada do sistema poderá estar 10kHz a cima ou 10kHz abaixo dos 39,4GHz. Ora, esta variação irá se repercutir directamente no sinal da IF₂. Na frequência intermédia IF₂, tem-se um filtro passa-banda (centrado nos 10,7 MHz) de aproximadamente 7kHz, que é uma largura de banda inferior à amplitude das possíveis variações do sinal de entrada. Assim, o sinal poderá cair fora da banda de passagem do filtro vindo a sofrer uma forte atenuação.

Para evitar que isso aconteça, poder-se-á alterar a frequência do LO conforme as circunstâncias o exijam. Caso a frequência à entrada suba por exemplo para os 39,400008GHz, a IF₁ ficará com 2,000008GHz e a IF₂ com 10,692, se o LO apresentar os fixos 2,0107GHz. Se pelo contrário, se sintetizar uma frequência de LO com mais 5kHz (2,010705 GHz), a IF₂ irá subir para os 10,697MHz que já é uma frequência pertencente à banda de passagem do filtro passa-banda. O mesmo se pode verificar para o caso da frequência de entrada descer, bastando para tal, descer também a frequência do LO.

Resumidamente, o último filtro passa-banda permitirá a passagem (com pouca atenuação) de sinais que distam dos 10,7MHz, $\pm 3,5$ kHz. Isto leva a que o oscilador local necessite de variar a sua frequência quando a frequência de entrada esteja afastada dos 3,4GHz, mais de 3,5kHz. Um passo de 5kHz na frequência do LO é suficiente para responder a estas necessidades.

Assim, a unidade de síntese terá que ser capaz de gerar uma gama de frequência centradas nos 2.0107GHz e com um resolução de 5kHz. Para tal, terá que se usar um sintetizador baseado no paradigma PLL. Uma vez que a resolução é bastante fina relativamente à frequência sintetizada, é imprescindível que a PLL seja do tipo *fractional N*, por motivos que já foram aprofundados em 4.4.3.

Mas a PLL poderá não ter a resolução que se pretende. Caso isto se verifique, pode-se utilizar um dispositivo de maior resolução, como uma DDS, que sirva de referência para a PLL.

Em termos de ruído de fase, segundo pesquisas efectuadas em satélites com as mesmas características [11], é de esperar que o sinal enviado pelo *beacon* apresente um ruído de fase @100Hz de -60dBc/Hz. É importante garantir que o oscilador do receptor não o degrada. Para tal, terá que se conseguir um oscilador local que apresente um ruído de fase inferior aos mencionados -60dBc/Hz.

5.6.2 Pesquisa do Mercado

Após a ponderação dos requisitos do sistema, o próximo passo a seguir consiste na análise detalhada das opções oferecidas no mercado. Será feita aqui uma pequena descrição da pesquisa efectuada para os componentes principais da unidade de síntese.

5.6.2.1 Sintetizadores

A oferta da indústria dos sintetizadores PLL está bastante desenvolvida e apresenta um grande número de fabricantes. Decidiu-se restringir a procura às marcas mais conhecidas, das quais se tem melhores referências.

A primeira empresa à qual se tentou obter informação foi a **Texas Instruments**. Para a gama de frequências exigida, encontrou-se o **TRF3750** que trabalha a frequências até 2,4GHz. No entanto, verificou-se que este sintetizador é do tipo *Integer N* pelo que não responde às exigências preestabelecidas. Neste fabricante não foram encontrados outros componente que pudessem vir integrar a unidade de síntese.

De seguida pesquisou-se marcas que são actualmente dos maiores produtores nesta área e apresentam sintetizadores mais recentes e variados, a *Analog Devices* e a *National Semiconductors*.

Da **National Semiconductor**, em primeira análise, o **LMX2470** respeitava todos os requisitos. No entanto, após um estudo mais aprofundado verificou-se que a frequência de referência máxima para este dispositivo é de 110 MHz, mas o oscilador disponível apresenta uma frequência ligeiramente superior. O **LMX2485** que é um integrado que oferece características gerais mais abrangentes, infelizmente apresenta a mesma limitação a nível da frequência de referência. Existem ainda outros modelos da **National Semiconductor** que poderiam vir a ser utilizados mas apresentam exactamente a mesma limitação. Este problema poderia ser facilmente colmatado utilizando-se outro oscilador de referência ou aplicando-se um divisor de frequência ao oscilador existente.

Na **Analog Devices** encontraram-se dois integrados que satisfazem todas as exigências, o **ADF4153** e o **ADF4156**. Estes dispositivos apresentam valores dos parâmetros do *fractional N* que permitem um channel spacing de 5kHz como o pretendido. A diferença fundamental entre estes dois integrados está na frequência máxima a que trabalham, o que não é relevante visto que em ambos os casos é excedido em muito os 2,01GHz da aplicação. Desta forma, uma vez que as características são tão semelhantes entre estes dois componentes, o factor de decisão foi o *noise floor* do *chip*. Como este valor é ligeiramente inferior no **ADF4153**, foi este o modelo seleccionado.

Para além de satisfazer os requisitos do sistema, o dispositivo apresenta uma característica muito conveniente para a escolha do VCO, o facto de ter uma alimentação independente para a *charge pump*. O integrado é alimentado a 3,3V mas permite uma tensão de *charge pump* até os 5,5V, que é adequada à utilização de VCO's com tensão de controlo de maior gama.

Caso no futuro se pretenda sintetizar sinais com *channel spacing* bastante inferior, a *Analog Devices* lançou recentemente o **ADF4157** que, para a frequências de referência utilizada, consegue gerar sinais com resolução de aproximadamente 3 Hz. Apesar de ter um funcionamento interno ligeiramente diferente da PLL escolhida, a **ADF4157** apresenta os pinos e *layout* idênticos. Assim, caso seja necessário, torna-se possível utilizar este *chip*, realizando apenas as respectivas alterações a nível da programação.

5.6.2.2 DDS's

A DDS poderia ser bastante útil no projecto caso não se encontrassem PLL's capazes de atingir o *channel spacing* pretendido. O que se faria era utilizar uma DDS como referência da PLL. Neste contexto, a DDS seria a responsável pelo salto de frequências do sintetizador. Ou seja, a PLL iria multiplicar o valor de referência gerado na DDS, por factor N constante. Com uma DDS conseguem-se resoluções de frequência inferiores a 1Hz, o que permitiria ter-se uma resolução muito fina à saída da PLL.

Mas, pelo que foi visto na secção anterior, consegue-se obter o *channel spacing* requerido utilizando

um sintetizador PLL isoladamente. No entanto, foi feita uma pequena pesquisa das opções de mercado ao nível das DDS's. Neste caso restringiu-se a procura à *Analog Devices*, dos maiores fabricantes de DDS's.

Nesta área, a possibilidade de escolha é bastante alargada, existem imensas opções que garantiriam uma síntese de sinais de referência com excelente resolução de frequência e um ruído de fase muito razoável. Entre muitos possíveis, achou-se uma boa escolha o *AD9859*. É um *chip* DDS com uma resolução muito boa ($\pm 0.3\text{Hz}$ utilizando o oscilador de referência disponível) e que pode gerar frequências até os 400MHz.

5.6.2.3 Osciladores Analógicos (VCO)

A escolha do VCO esta agora restringida essencialmente à gama de tensões de controlo impostas pelo *chip* sintetizador e pela gama de frequências que consegue gerar. A tensão de controlo deverá estar compreendida entre os 0 e os 5V segundo se viu em 5.6.2.1. O sistema necessita de uma frequência na ordem dos 2,0107GHz variando apenas alguns kHz's nos dois sentidos, assim, a gama de frequências que o VCO deve gerar não necessita de ser muito grande. No entanto, para estas frequências, não existem no mercado VCOs com gamas tão limitadas.

É importante escolher um VCO com uma sensibilidade o mais baixa possível, já que, quanto menor a sensibilidade do VCO, menor será a repercussão dos erros da tensão de controlo na frequência de saída e maior também a estabilidade e o ruído de fase em malha aberta.

Foram encontradas muitos modelos de VCO que obedeciam às especificações em termos de frequências geradas mas não em termos de tensão de controlo.

Da **Sirenza Microdevices** encontrou-se uma boa solução, o **VCO190-2050T** que apresenta uma gama de frequências de 2GHz a 2,1GHz para uma tensão de controlo com a gama pretendida.

Outro dos elementos com viabilidade no projecto é o **CRO2013A** da **Z-Communications**. Este modelo gera frequências compreendidas entre 1912 e 2114GHz e tem uma tensão de referência que também está dentro dos parâmetros.

Mas é na **Mini-Circuits** que se encontrou o modelo ideal para a aplicação, é o **ROS-2015**. Gera uma gama reduzida de frequências (1975-2015GHz) com uma tensão de controlo também dentro dos limites exigidos. Para além de ter uma sensibilidade de frequências substancialmente inferior à dos VCO anteriormente referidos, é um modelo que apresenta um encapsulamento comum a muitos outros VCO's da mesma marca. Assim, caso seja necessário no futuro alterar a gama de frequências da PLL, pode-se facilmente trocar o VCO actual, por outro com o mesmo encapsulamento mas que gere frequências diferentes.

5.6.3 Implementação

5.6.3.1 Chip PLL

Pelo que foi estudado anteriormente, após uma pesquisa das opções de mercado, foi escolhido o sintetizador **ADF4153** da **Analog Devices**. Este é um *chip* que consiste basicamente num detector de fase/frequência digital, uma *charge-pump*, e um contador *fractional N* programável. De seguida será feita a exposição dos diferentes procedimentos efectuados na montagem e programação deste elemento.

Configuração

O *chip* em questão apresenta duas versões disponíveis, uma de 16 pinos (TSSOP-Thin-Shrink

Small Outline Package) e outra de 20 pinos (LFCSP-Lead Frame Chip Scale Package). Devido essencialmente a limitações técnicas na soldagem, optou-se por utilizar o encapsulamento de 16 pinos. A figura 5.15 mostra a configuração deste componente.

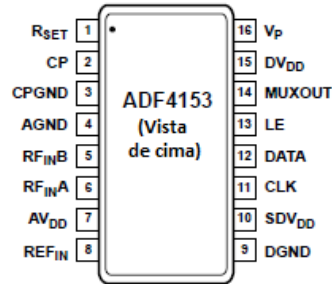


Figura 5.15: Configuração dos pinos do *chip* PLL.

Antes de mais, foi necessário garantir a alimentação requerida pelo componente. Os valores impostos são +3.3V e +5V. Para garantir estas alimentações recorreu-se a dois reguladores DC-DC, que transformam os +12V da alimentação da placa em +3.3V e +5V. Para os +3.3V, o regulador escolhido foi o **LD1085D2M33** da **ST** e para os +5V recorreu-se ao **LD1085V50**, também da **ST**. Para filtragem do ruído, colocou-se um condensador à entrada e saída do regulador de $10\mu F$.

Agora, para fazer uma análise metódica ao *chip* PLL, será feita a descrição de cada pino bem como a descrição da montagem dos componentes associados a este chip utilizando a sequência numérica dos pinos:

RSET: É responsável pela calibração da corrente máxima à saída da *charge pump*. Para tal, deverá colocar-se uma resistência entre este pino e a massa. A relação entre a corrente máxima e a resistência utilizada é dada por:

$$I_{CPmax.} = \frac{25.5}{R_{SET}} \quad (5.25)$$

Na prática utilizou-se para R_{SET} uma resistência de $5.1k\Omega$ para garantir uma corrente que não ultrapassa-se os 5mA (valor recomendado também pelo fabricante).

CP: Este é o pin que corresponde à saída do sinal da *charge pump*. Ou seja é daqui que sai o sinal para o filtro de malha. Desta forma, este pin foi ligado directamente ao filtro de malha.

CPGND: Este é o pino que corresponde à massa da *charge pump*, pelo que foi ligado directamente à massa.

AGND: É a massa analógica do *chip* e foi conectado à massa do circuito.

$RF_{IN}B$: Entrada complementar do sinal RF de realimentação da malha. Neste caso não foi utilizado, então foi ligado à massa com um condensador de *bypass* de $100pF$.

$RF_{IN}A$: Entrada do sinal RF de realimentação da malha. É aqui que entra o sinal proveniente do VCO, sinal este que vai ser dividido no *N divider* para posteriormente ser comparado no PFD desde *chip*. O fabricante aconselha a utilização de potências do sinal de entrada entre os -8 e os 0 dBm .

Como se verá mais à frente, o VCO irá disponibilizar 4 dBm para a malha de realimentação que é um valor substancialmente superior ao suportado pelo componente. Assim, tornou-se necessário utilizar um atenuador. Decidiu-se introduzir uma atenuação de 7 dB que garante uma potência de entrada no RF_{IN} dentro da gama prevista. Para tal, utilizou-se um atenuador resistivo em T (fig. 5.16) com impedância de entrada/saída de 50Ω . Após o cálculo das resistências, ajustando-as aos valores de resistências existentes, obteve-se $R_1, R_2=18\Omega$ e $R_3=86\Omega$.

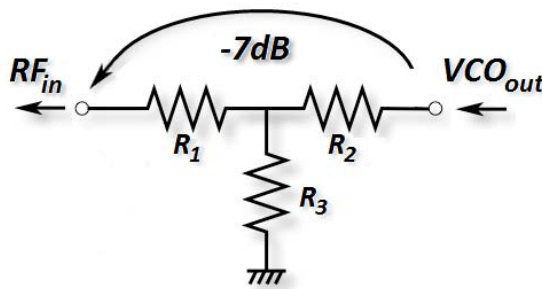


Figura 5.16: Atenuador resistivo em T utilizado.

AV_{DD} : É o pino que garante a alimentação aos componentes analógicos do *chip*, necessita de uma tensão DC de $+3\pm 10\%V$. Foi ligado à alimentação de $+3.3V$, nesta ligação realizou-se o desacoplamento AC com dois condensadores ($100nF$ e $10pF$) colocados o mais próximos possível do *chip*.

REF_{IN} : Corresponde à entrada do sinal de referência, o cristal de 110.9 MHz . Este pino foi ligado ao sinal do OCXO, aqui também se fez um desacoplamento DC com condensares de $300pF$.

DGND: É o pino que corresponde à massa digital, foi ligado à massa do circuito.

SDV_{DD} : É a alimentação do modulador $\Delta\Sigma$ do sintetizador. Foi ligado á linha de $+3.3V$ com o respectivo desacoplamento.

CLK: Entrada para o sinal de relógio série. Este pino foi directamente ligado ao conector para programação da placa, correspondente ao sinal de relógio.

DATA: É a entrada de dados para a programação do *chip*. Foi ligado directamente ao conector para programação da placa, correspondente ao pino de *DATA*.

LE: Pino que corresponde à activação da escrita nos registos internos do sintetizador. Também ligado directamente ao conector para programação da placa, mas desta feita ao pino correspondente ao *Load Enable*.

Tabela 5.5: Sumário dos registos do ADF4153

FAST LOCK		9-BIT INTEGER VALUE (INT)									12-BIT FRACTIONAL VALUE (FRAC)												CONTROL BITS		
		DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
		FL1	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C2 (0)	C1 (0)

R DIVIDER REG (R1)																								
LOAD CONTROL	MUXOUT				RESERVED	PRESCALER	4-BIT R COUNTER				12-BIT INTERPOLATOR MODULUS VALUE (MOD)												CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
P3	M3	M2	M1	0	P1	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C2 (0)	C1 (1)	

														CONTROL REG (R2)		
RESYNC				REFERENCE DOUBLER	CP/2	CP CURRENT SETTING				PD POLARITY	LDP	POWER-DOWN	CP THREE-STATE	COUNTER RESET	CONTROL BITS	
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
S4	S3	S2	S1	U6	CP3	CP2	CP1	CP0	U5	U4	U3	U2	U1	C2 (1)	C1 (0)	

NOISE AND SPUR REG (R3)										
RESERVED	NOISE AND SPUR MODE				RESERVED			NOISE AND SPUR MODE	CONTROL BITS	
DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	T8	T7	T6	T5	0	0	0	T1	C2 (1)	C1 (1)

MUXOUT: Através deste pino é possível aceder a informação interna do sistema PLL (detecção do estado de lock, frequência de comparação, etc). Para este projecto, o pino não foi utilizado.

DV_{DD} : Alimentação digital do *chip*. Tal como o AV_{DD} , necessita de $+3\pm 10\%$ V, sendo ligado à mesma linha de alimentação desacoplado com condensadores do mesmo valor.

V_P : É a alimentação da *charge pump*. Para o sistema em questão, de forma a aumentar a gama de tensões disponibilizada pelo PFD, decidiu-se alimentar a *charge pump* a +5V. Ligou-se este pino à linha de +5V e fez-se o desacoplamento AC com dois condensadores ($100nF$ e $10pF$).

Tentou-se respeitar ao máximo as configurações aconselhadas pelo fabricante. Recorreu-se mesmo à placa de testes do **ADF4153** construída pelo fabricante do *chip* para retirar algumas dúvidas. Através do *layout* e da disposição dos componentes dessa placa, foi possível observar um exemplo prático de configuração e utilização do elemento em questão.

Programação

Este IC (Integrated Circuit) apresenta uma multiplicidade de configurações recorrendo à programação de cada um dos seus registos internos através de comunicação SPI. Entre estas características configuráveis, tem-se o valor do *N divider*, o valor da corrente da *charge pump*, resposta em termos de ruído e espúrias, etc. No entanto, todos os modos de funcionamento escolhidos devem ter em mente as limitações impostas pelo sistema onde esta incluído. Nesta secção será dada uma breve descrição das opções que foram tomadas para a programação do *chip*. Na tabela 5.5 é possível observar um sumário de todos os registos, a informação foi retirada do *datasheet* do componente.

A análise dos valores dos registos será iniciada pelos registos R(0) e R(1) que incluem essencialmente a informação relativa aos divisores de frequência.

É necessário, antes de mais nada escolher os valores de N. Esta PLL tem um *N divider* do tipo fraccional, pelo que o valor de N não é directo mas sim a combinação de vários valores. Pela equação 5.28, sabe-se que o N está dividido em N_{int} , N_{frac} e *MOD*. Como se pode ver, a parte inteira de N é definida pelo N_{int} enquanto que a parte fraccionária é definida pelo N_{frac} e pelo *MOD*.

A escolha dos valores para os diferentes parâmetros de N não é trivial, e implica alguns cuidados. É importante que se comece pelo *MOD*, uma vez que é este valor que confere o channel spacing das frequências sintetizadas. Através de um *Application Note* da **National Semiconductor**[18], encontrou-se uma forma prática e eficaz de obter esse valor. A fórmula utilizada foi a seguinte:

$$MOD = \frac{f_{OSC}}{GCD(f_{OSC}, f_{CH})} \quad (5.26)$$

com:

f_{OSC} - Frequência do oscilador de referência (110,94MHz);
 f_{CH} - *Channel spacing* (5kHz);
GCD - Máximo divisor comum.

O valor obtido é 22188, que é um valor não suportado pelo componente, que apresenta um *MOD* máximo de 4095. Teve-se que escolher então o maior número que divide 22188 sendo inferior a 4095, obteve-se 3698. Este valor é agora sempre fixo, e irá garantir que todas as frequências geradas distem entre si de 5kHz.

Seguidamente, é importante estabelecer a frequência de comparação utilizada. Ora, para calcular este valor recorreu-se mais uma vez a uma fórmula muito útil:

$$f_{comp} = GCD(f_{OSC}, f_{CH} \cdot MOD) \quad (5.27)$$

Tem então que se ter uma frequência de comparação de 18,49MHz. Esta frequência de comparação é dada pela frequência do oscilador de referência dividida por R. Com o oscilador de referência de 110,94MHz, facilmente se retira que o R terá que ser igual a 6. Com um R=12 também se conseguiria obter o channel spacing requerido, mas ter-se-ia um ruído de fase superior pelos motivos já explicados em 3.5.1.

Agora, para gerar a frequência de 2,0107GHz falta apenas calcular o N_{int} e o N_{frac} . Como N_{int} é a parte inteira do valor de N é muito fácil de se obter, basta fazer a divisão inteira de f_{out}/f_{comp} . Para este caso, N_{int} é 108.

Já o N_{frac} é o numerador da parte fraccionária de N pelo que a sua obtenção implica uma pequena dedução. Uma vez que já se sabe o valor de MOD, utilizando a parte fraccionária de f_{out}/f_{comp} (X_{frac}) é possível chegar-se à relação 5.28 que relaciona estes dois termos.

$$N_{frac} = X_{frac} \cdot MOD \quad (5.28)$$

É então obtido o valor de N_{frac} que garante uma frequência de saída da PLL de 2,0107GHz. Para alterar este valor para um valor maior ou menor 5kHz, basta incrementar ou decrementar respectivamente o N_{frac} , uma unidade.

Ainda no registo R(0), está presente a opção *FASTLOCK*. Para este contexto esta função não tem interesse pelo que foi desactivada. No registo R(1), configurou-se o *PRESCALER* para 8/9 que é o valor que permite o integrado funcionar a frequências superiores a 2GHz. O *MUXOUT* e o *LOUDCONTROL* não foram requeridos neste projecto e foram por isso desactivados.

O registo R(2) controla algumas funcionalidades que não são relevantes para a aplicação, são esta, a *RESYNC*, *REFERENCE DOUBLER*, *CP THREE-STATE* e a *POWER DOWN*, sendo assim também desactivadas. A *LDP*, que é a precisão para a medida do estado de sintonia, não tem relevância nesta aplicação, pelo que foi seleccionado o valor para menor precisão.

O *CP/2* juntamente com o *CP CURRENT SETTINGS* apresentam os bits que possibilitam a programação da corrente da *charge pump*. Para minimizar o ruído de fase introduzido pelo PFD, esta corrente deverá ser a máxima possível. Esta relação por vezes não é tão linear mas, para este caso, é aceitável. Definiu-se então a corrente de *charge pump* para o valor máximo (5mA).

O *COUNTER RESET*, quando activo permite a alteração dos valores do contador N (N_{int} , N_{frac} e MOD) e R, pelo que será colocado a '1' apenas nestas situações.

Em relação ao *PD POLARITY*, que é o bit que controla a polaridade do detector de fase. Uma vez que o VCO utilizado tem características positivas, ou seja, com o aumento da tensão de entrada, aumenta a frequência de saída, o detector de fase também terá que ter uma polaridade positiva.

Finalmente o registo R(3) é responsável pela programação dos mecanismos de atenuação de espúrias e ruído gerados pelo *chip*. Estão disponíveis três modos de funcionamento: O modo que minimiza as espúrias, o modo que minimiza o erro e o modo em que são reduzidas tanto as espúrias como o ruído. Este último foi o modo escolhido, apesar de não ser o ideal a nível de ruído nem a nível de espúrias, apresenta um compromisso de qualidade entre ambos os factores.

A programação do *chip* é feita através de comunicação série SPI. Cada registo é carregado por sua vez através de um trama de 24 bits. Cada vez que se pretende passar informação para o dispositivo, coloca-se o sinal de comunicação *LE* a '1' e inicia-se a transferência de dados através da linha *DATA*. A velocidade da transferência é ditada pelo *CLOCK* da comunicação, ou seja, a cada batida de relógio é transferido um bit para o registo em questão.

Para programação correcta do dispositivo é necessário efectuar o carregamento dos registos por ordem específica. Os fabricantes aconselham a programar-se primeiro o registo relativo ao controlo do ruído e espúrias, R(3). Seguidamente deve-se programar os bits correspondente ao registo de controlo (R(2)), tendo o cuidado de activar o bit *COUNTER RESET* que permite a alteração dos valores dos divisores N e R. Em terceiro lugar, deve-se programar o registo R(1) relativo ao *R divider*. É então altura de carregar os valores pretendidos para o registo do *N divider*, R(0). Finalmente, volta-se a aceder ao registo de controlo, R(2) para desactivar o bit *COUNTER RESET*. Se estes passos forem efectuados de forma correcta, mal for concluída a programação, o *chip* inicia o seu funcionamento normal, ou seja, a PLL começa a funcionar.

5.6.3.2 Filtro de Malha

O filtro de malha, como já foi visto, é um elemento que influencia grandemente a resposta do sistema PLL, pelo que deve ser alvo de uma análise cuidada.

Em primeira análise, decidiu-se verificar o ponto em que o ruído de fase do oscilador de referência cruzaria o do VCO. Este valor irá ditar a máxima largura de banda recomendável para a PLL. Na tabela 5.6 estão expostos os valores do ruído de fase do VCO livre vs o ruído de fase do oscilador a cristal (escalonado para 2GHz). De referir que estes são valores retirados do *datasheet* dos componentes.

Como se pode observar, o ruído de fase dos dois elementos cruza-se a aproximadamente 100kHz. Este valor pode ser considerado uma primeira aproximação para a escolha da largura de banda da malha.

Mas a escolha da largura de banda do filtro envolve também um compromisso entre o nível de espúrias do espectro sintetizado e o tempo de aquisição do sincronismo. O sistema em questão não

Tabela 5.6: Ruído de fase do oscilador de referência vs VCO (a 2GHz)

Offset	OCXO (dBc/Hz)	VCO (dBc/Hz)
1kHz	-118	-85
10kHz	-129	-107
100kHz	-132	-128
1MHz	-133	-148

exige tempos de aquisição elevadas, uma vez que a PLL estará grande parte do tempo fixa numa determinada frequência. A necessidade de mudança de frequência, a ocorrer, será muito esporádica. Assim, neste caso é preferível dar ênfase à filtragem do ruído e espúrias, o que implica a utilização de uma largura de banda da malha mais baixa. Por outro lado, se esta largura de banda for muito estreita, o erro de fase do VCO irá dominar o espectro de saída da PLL. Desta forma, considerou-se 10kHz um bom valor para a largura de banda da PLL.

A largura de banda do filtro é de longe o parâmetro mais importante, mas deve ser também respeitada a margem de fase e a ordem do filtro.

A margem de fase está relacionada com a estabilidade do sistema. Maior margem de fase implica maior estabilidade, mas existe um limite. Os valores tipicamente utilizados para este parâmetro variam entre os 40 e 55 graus. Segundo algumas referências [17], [19], 50 graus é um bom valor para minimizar o erro de fase. Desta forma, tentou-se escolher uma margem de fase que rondasse os 50 graus.

Pode-se afirmar que, com o aumento da ordem do filtro, é aumentada a atenuação das espúrias geradas no PFD. Isto porque, à medida que se introduz um pólo no filtro, a atenuação aumenta. No entanto, o aumento da ordem do filtro implica o aumento de componentes passivos, que por sua vez introduz mais ruído provocado pelas resistências. Um filtro de 3^a ordem apresenta uma função de transferência com três pólos e declive suficiente, não utilizando um número exagerado de componentes. Decidiu-se então, recorrer a um filtro de 3^a ordem que apresenta um bom compromisso entre o ruído introduzido pelas resistências e a atenuação de espúrias.

Ainda é preciso escolher o tipo de filtro utilizado. Uma vez que a *charge pump* do detector de fase consegue fornecer ao VCO a tensão exigida, não é necessário a utilização de um filtro activo. Por ser mais simples, e introduzir menos ruído na malha, decidiu-se utilizar um filtro passivo. Uma vez que é um filtro de 3^a ordem, terá a configuração da figura 5.17.

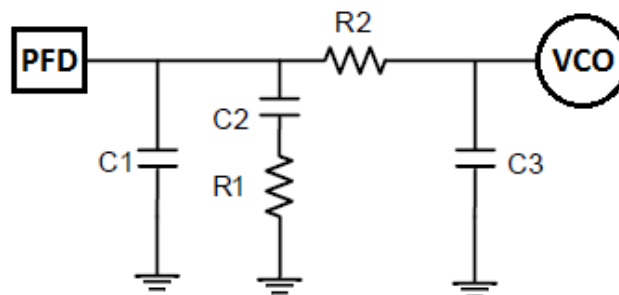


Figura 5.17: Filtro de malha de 3^a ordem utilizado.

Os valores dos componentes constituintes do filtro foram obtidos com a ajuda do programa **ADIsimPLL** da **Analog Devices**. Com este programa, introduzindo-se os valores dos diversos parâmetros para o filtro (largura de banda, margem de fase, ordem) e o valor da sensibilidade do VCO, são

retornados os valores nominais para os componentes. Aproximando os resultados aos valores de resistências e condensadores existentes no mercado, ficou-se com: $R_1=82\Omega$; $R_2=240\Omega$; $C_1=33nF$; $C_2=440nF$; $C_3=10nF$.

5.6.3.3 VCO

Para o sintetizador, necessitou-se de um VCO que gerasse frequências na ordem dos 2GHz. Após uma análise do mercado (cap. 5.6.1) acabou-se por escolher o **ROS-2015+** da **MINI-CIRCUITS**, que gera frequências compreendidas entre 1,975GHz e os 2,015GHz. De salientar novamente que este VCO apresenta um encapsulamento comum a muitos outros VCO's da mesma marca, pelo que a sua substituição é possível caso se necessite de gerar outras frequências. Isto deixa a placa com mais alguma flexibilidade.

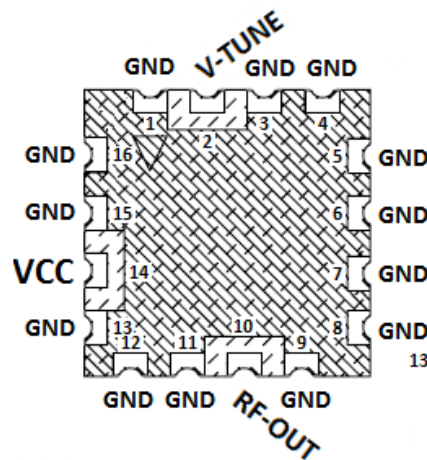


Figura 5.18: Configuração dos pinos do VCO utilizado.

Pela figura 5.18 retira-se que este VCO apresenta um encapsulamento de 16 pinos. Desses 16 pinos, 13 são destinados à massa (**GND** na imagem), pelo que foram ligados directamente à massa do circuito.

O **VCC** é a alimentação do VCO. Este pino foi conectado à linha de +5V do circuito, tendo sido utilizado neste ponto dois condensadores de desacoplamento ($100nF$ e $10pF$) o mais próximos possível do VCO.

No **V-TUNE** é aplicada a tensão de controlo do VCO que altera a frequência de saída (**RF-OUT**) do VCO. Como o VCO tem polaridade positiva, à medida que a tensão de controlo vai aumentado, a frequência à saída também aumenta. A tensão de controlo deste dispositivo pode variar entre os 0 e os 5V, tendo uma sensibilidade de aproximadamente 17MHz/V. Neste caso, a tensão de controlo provem do filtro de malha pelo que o pino **V-TUNE** está directamente ligado a esse ponto.

De seguida tem-se o pino **RF-OUT** que corresponde à saída do sinal de RF do VCO. O dispositivo gera um sinal com uma potência de 7,5dBm. Este sinal terá que ser dividido em dois, um que vai completar a malha, ao voltar para o PFD, e outro que será usado como LO para formar a IF_2 do sistema global. Para efectuar essa divisão, utilizou-se um *Power Splitter*, neste caso o **SCN-2-22+** da **MINI-CIRCUITS**. O *Power Splitter* em questão funciona para frequências compreendidas entre 1850 e 2200MHz. Apresenta perdas por inserção que rondam os 0,4dB para além dos 3dB implícitos na divisão da potência por dois.

Os misturadores que farão a mistura entre o sinal LO, aqui produzido, e o sinal recebido nas duas

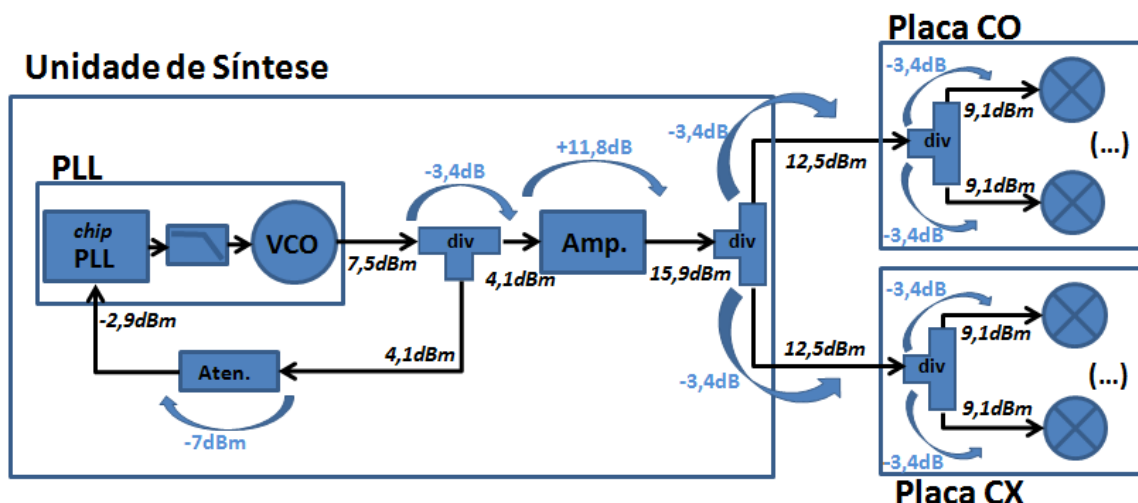


Figura 5.19: Representação das perdas e valores da potência do sinal sintetizado usado como LO.

placas, necessitam de uma potência de LO de 7dBm . Ora, o VCO apenas fornece $7,5\text{dBm}$, potência esta que vai ser dividida no *Power Splitter* para o sinal de realimentação (ver fig.5.19). Mais ainda, este sinal será novamente dividido para poder ser distribuído para ambas as placas, a CO e a CX. E, devido à natureza dos misturadores, construídos para rejeitar a frequência imagem (sec. 5.3), são necessários dois sinais LO, um para cada misturador. À saída do primeiro divisor, estão disponibilizados apenas $4,1\text{dBm}$ de potência, que cairão para os $0,7\text{dBm}$ após a divisão para as duas placas, o que corresponde a $-2,7\text{dBm}$ em cada misturador. Portanto, é imperativo amplificar o sinal em aproximadamente 10dB em algum ponto do circuito. Decidiu-se fazer a amplificação logo após a divisão à saída do VCO. Para tal recorreu-se ao **GALI-6+**, também da **MINI-CIRCUITS**, com um ganho típico de $11,8\text{dB}$ a 2GHz . Este amplificador veio também proporcionar um isolamento entre a saída do VCO e a carga final, minimizando possíveis efeitos de pulling.

O sinal à saída do amplificador é dividido e aplicado a dois conectores SMA, para poder ser inserido nas duas placas de IF.

5.6.3.4 Expansão para DDS

Após a análise feita em 5.6, decidiu-se não utilizar uma unidade DDS para os propósitos deste trabalho. No entanto, para deixar mais alguma margem de mobilidade na placa, resolveu-se deixar um local na PCB preparado para receber uma DDS.

Configurações

Aqui não será feita uma análise detalhada do módulo, uma vez que esta não será utilizada no âmbito deste projecto mas sim para futuros desenvolvimentos. Segundo foi visto, o Chip DDS que foi escolhido foi o **AD9859** da **Analog Devices**.

O *Chip* DDS não será soldado directamente na placa relativa à unidade de síntese. Estará incluída noutra placa mais pequena, esta sim que encaixará na placa da unidade de síntese. De referir que a *daughterboard* da DDS foi implementada e montada por terceiros. Os únicos elementos que esta placa apresenta são o próprio *Chip* DDS e os condensadores de desacoplamento para as alimentações do *chip*, que precisam estar o mais próximos possível deste (imagem A.1 do anexo A).

Na placa da unidade de síntese, para além dos encaixes para a placa da DDS, foram colocados

todos os elementos necessários para o funcionamento da DDS. Desde os reguladores que garantem as alimentações requeridas pelo integrado, ligações para a massa nos locais exigidos, conectores SMA para a introdução do relógio de referência e extracção da saída filtrada, etc.

Para uma futura utilização deste módulo, o utilizador terá que se preocupar apenas com a programação do *Chip* DDS.

Filtro de rejeição de imagem

O filtro de rejeição das imagens existentes no espectro de saída da DDS também foi implementado e dimensionado. É sabido que existem várias implementações possíveis para este filtro, sendo que não há nenhuma implementação ideal para todas as situações.

Para a DDS em questão, decidiu-se dar mais importância à qualidade da banda de passagem do filtro do que à taxa de decaimento logo após a frequência de corte. O filtro passa baixo do tipo *Butterworth* é o que apresenta uma banda de passagem mais plana, apesar de ter um decaimento na vizinhança da zona de corte inferior a outro tipo de filtros, como por exemplo o *Chebyshev*. Segundo estes pressuposto, recorreu-se a um filtro do tipo *Butterworth*, fazendo-o de 6ª ordem para uma adequada rejeição das componentes espectrais além da pretendida. Na figura 5.20 pode-se ver o esquema do filtro utilizado.

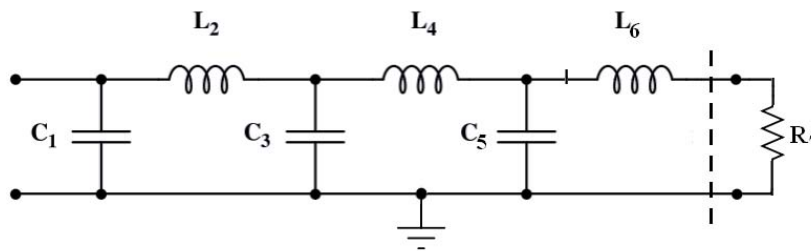


Figura 5.20: Esquema do filtro *Butterworth* de 6ª ordem utilizado.

Para calcular o valor dos componentes constituintes, recorreu-se à tabela de escalonamento deste tipo de filtros, fazendo-se de seguida a respectiva conversão para a frequência e impedância do sistema. Dos cálculos obtiveram-se os seguintes valores: $C_1=20,6pF$; $L_2=140,7nH$; $C_3=76,9pF$; $L_4=192,7nH$; $C_5=56,3pF$; $L_6=51,5nH$; $R_7=50\Omega$.

O filtro foi então construído com os valores ajustados aos componentes existentes no mercado.

O esquemático final da placa referente à unidade de síntese pode ser vista na imagem A.3 do anexo A. Ainda no mesmo anexo está disponível a distribuição dos componente na placa (fig.A.5).

5.6.4 Interacção com o USRP

É nesta fase que é introduzida no projecto a interface entre o receptor de satélite propriamente dito, e o sistema de aquisição do sinal. Ou seja, é aqui que se faz o elo de ligação que permite a sintonização deste *frontend* através de *software*. De referir que a programação do software **GNU-Radio** foi efectuada no âmbito da dissertação "Software GNU Radio para Detector Digital de Sinais CW com baixa relação Sinal-Ruído"[45]. Nessa dissertação foi implementado o programa que trata da análise e processamento do sinal. O programa para além de permitir a visualização do sinal recebido em tempo real, grava todos os dados necessários para uma análise posterior.

Uma vez que este software genérico não está englobado nesta dissertação, não será aqui feita uma análise pormenorizada, mas sim uma breve descrição de como se faz a interface do *kit* SDR - *Hardware* do receptor.

É propósito deste projecto, que a programação do LO para a IF_2 seja efectuada pelo **USRP**. Ora, o **USRP** disponibiliza nas placas de *BASIC RX*, os pinos destinados à comunicação SPI (*DATA*, *LE*, *CLK*). Assim, foi feita a ligação física entre os pinos relativos à comunicação SPI da placa do **USRP** e os da placa responsável pela síntese de frequências. Para a comunicação é necessário também uma massa de referência (*GND*) entre os dois circuitos, pelo que as duas massas foram conectadas.

De seguida, foi feito no programa de controlo do **USRP**, uma rotina genérica de comunicação SPI, com as devidas adaptações para as necessidades de *chip* PLL. Testou-se a viabilidade desta comunicação efectuando diversos carregamentos de valores para os registos da PLL. Com os diferentes valores carregados, verificou-se que a PLL sincronizava e mudava de frequência de acordo com os comandos. De seguida decidiu-se avançar para o passo seguinte, a correcção do sinal gerado em tempo real.

Agora é necessário programar o **USRP** para que, consoante a flutuação da frequência do sinal à saída do sistema, este controle o oscilador local de maneira a compensar estas variações. Então, cada vez que o sinal apresenta uma frequência que está afastada mais do que 3kHz dos 10,7MHz, o programa principal chama uma rotina que reprograma o *chip* PLL de modo a este aumentar ou diminuir, conforme necessário, a sua frequência de saída. Desta forma garante-se que o sinal se apresenta sempre dentro da banda de passagem do último filtro do receptor, evitando assim perdas de potência inconvenientes.

5.7 Layout

O *layout* de qualquer circuito electrónico é um factor que influencia e muito o seu desempenho. A relevância do *layout* ainda se torna mais evidente quando se trabalha a frequências mais elevadas, podendo mesmo ser a chave para a viabilidade ou não de um projecto. Neste contexto, para o trabalho em questão, foi necessário ter em conta diversos factores na elaboração do seu *layout*.

Antes de mais nada, é importante referir que, em ambas as placas, o *layout* apresenta todas as ligações numa mesma *layer*, a *layer* posterior da placa é toda ela um plano de massa contínuo.

Dos primeiros cuidados que se teve na implementação do *layout*, foi o de calcular a largura das linhas de transmissão que garantam uma impedância característica de 50Ω para a respectiva frequência. Teve-se também o cuidado de efectuar as mudanças de direcção das linhas com um raio de curvatura suficiente para evitar descontinuidades.

Outro dos pontos que é deveras importante na criação da PCB, é a qualidade das massas utilizadas. É importante ter-se as ligações ao plano de massa o mais próximo possível do ponto em que se pretende a massa. Por exemplo, nos amplificadores, é fulcral que se as massas sejam bastantes generosas, tal como os fabricantes o sugerem.

Numa primeira implementação da placa relativa à IF_1/IF_2 , ocorreram problemas de estabilidade nos amplificadores, exactamente por estes não apresentarem ligações directas para a massa abundantes. Foi um problema delicado cuja causa não foi detectada instantaneamente pelo que provocou atrasos no desenvolvimento normal do projecto. Com uma análise mais minuciosa, o erro foi detectado e eliminado. Na segunda versão da placa, com o erro corrigido, o problema foi eliminado.

Utilizou-se sempre que possível, para cada componente, o *layout* recomendado pelo fabricante. Também de referir que tentou-se compactar o circuito para minimizar o tamanho das placas. O desenvolvimento do *layout* foi efectuado recorrendo ao *software* **ORCAD** da **Cadence**, utilizando-se as subrotinas apropriadas. Nas figuras 5.21 e 5.22 é possível observar o aspecto do *layout* final de ambas as placas.

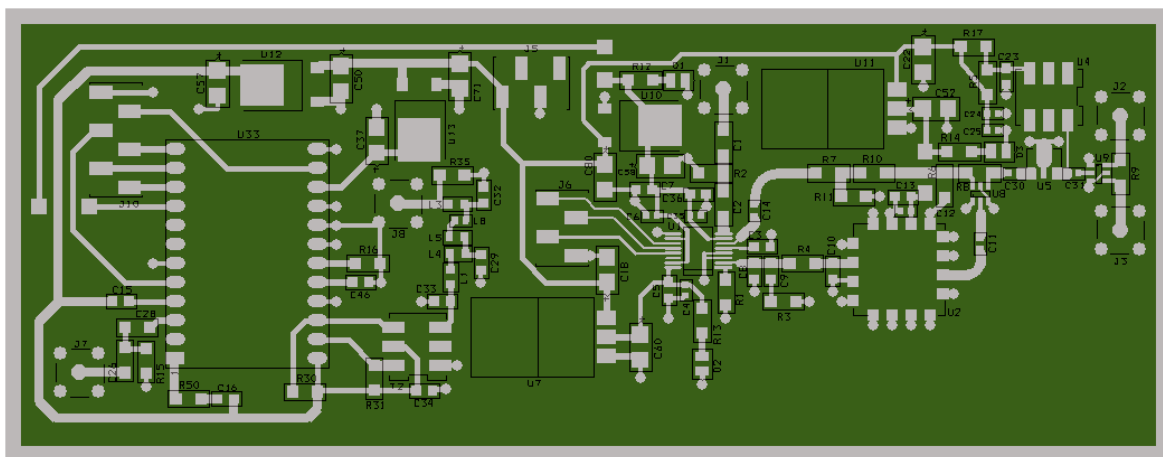


Figura 5.21: *Layout da placa relativa à unidade de síntese.*

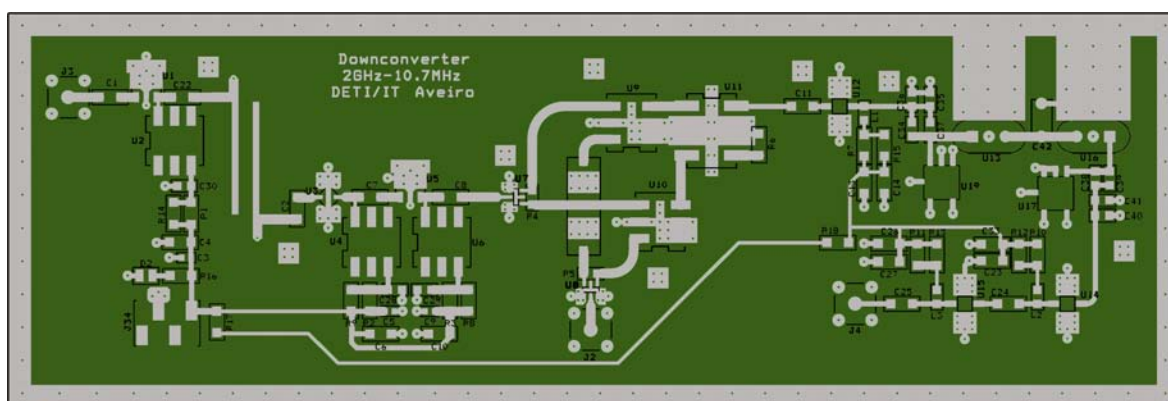


Figura 5.22: *Layout da placa de condicionamento de sinal.*

Capítulo 6

Testes e Avaliação do Desempenho

Neste capítulo, serão mostrados os resultados obtidos após a implementação e montagem dos diversos circuitos. Irá começar-se por testes individuais aos elementos, passando-se para uma avaliação global do desempenho do sistema.

Para as medições, recorreu-se essencialmente a três equipamentos: O analisador de redes **8753D** da **Hewlett Packard (HP)**, o analisador de espectros **2208A** da **Tektronix** e outro analisador de espectros, o **8561A** também da **HP**. De maneira a conseguirem-se efectuar as medições nos diferentes pontos necessários, utilizaram-se pequenos cabos coaxiais com os respectivos conectores SMA.

Foi necessário também recorrer a sinais de teste para efectuar determinadas medições, sendo para tal utilizados dois geradores de sinal: o **2520A** da **Wavetek** e o **8671B** da **HP**.

6.1 Placa Relativa à IF_1/IF_2

Esta é a placa responsável pelo tratamento do sinal recebido, ou seja, é aqui que se realiza a filtragem e a *downconversion* do sinal de modo a ser processado no **USRP**. Os testes serão divididos em dois grupos funcionais: filtros e amplificadores.

6.1.1 Filtragem

6.1.1.1 Filtro de Linhas Acopladas

Antes de mais, é importante referir que houve um erro na impressão do circuito impresso nesta placa. O filtro ao invés de ter a configuração mostrada na figura 5.7, foi impresso com a disposição representada na figura 6.1. Devido a este erro, o filtro deverá comportar-se de forma ligeiramente diferente.

Para testar as características do filtro de linhas acopladas recorreu-se ao analisador de redes disponível. De forma a efectuar uma análise em termos de resposta em frequência do elemento em questão, soldaram-se os cabos para as medidas directamente à entrada e à saída do filtro introduzido na placa. Então, antes de efectuar qualquer medição, calibrou-se o equipamento de medida de modo a eliminar os efeitos dos cabos utilizados nas medidas.

Começou-se por medir a resposta em frequência do filtro em termos de transmissão para a frente. Efectuou-se então a medição do parâmetro S_{21} , com visualização na forma de "magnitude" ou perdas de transmissão (fig.6.2(a)). Observou-se que o filtro apresenta uma atenuação de 9,7dB na banda de passagem, com uma largura de banda 135MHz.

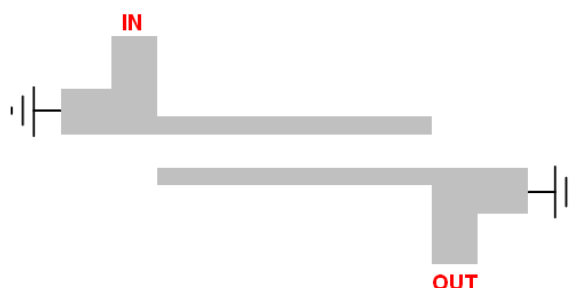


Figura 6.1: Ilustração esquemática do filtro microstrip impresso na PCB utilizada.

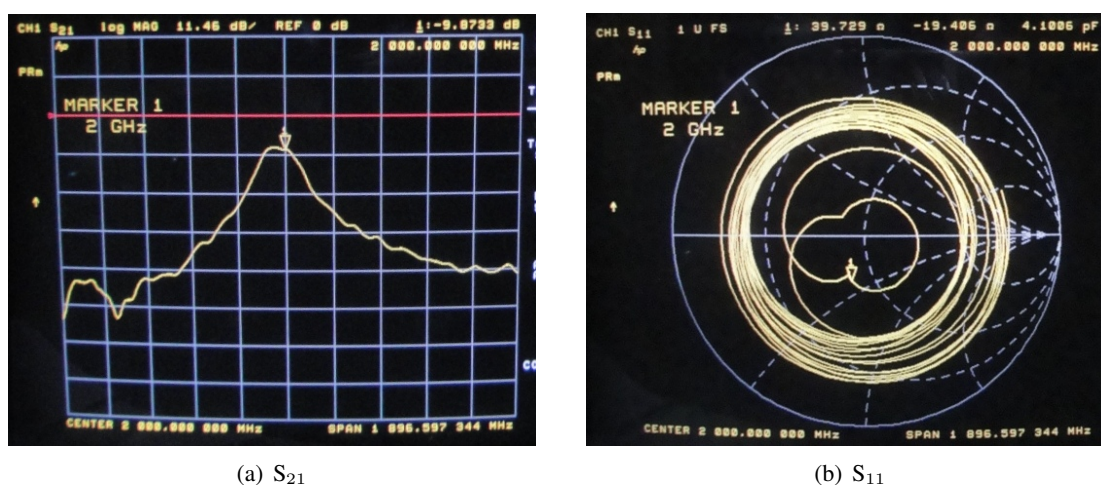


Figura 6.2: Medição dos parâmetros S_{21} e S_{11} do filtro de linhas acopladas.

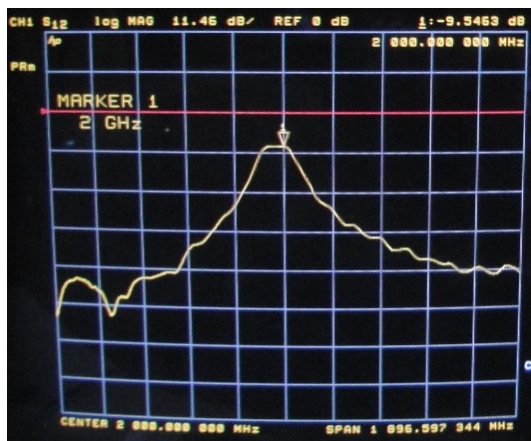
Seguidamente fez-se a medição da reflexão à entrada do filtro, recorrendo à visualização do parâmetro S_{11} no formato de carta de Smith (fig.6.2(b)). Daqui retira-se que aos 2 GHz, o filtro apresenta uma impedância de $34,2\Omega$.

Mediram-se de seguida os parâmetros S_{12} e S_{22} do filtro, obtendo-se as respostas representadas nas figuras 6.3(a) e 6.3(b) respectivamente.

Como se pode observar, a resposta em termos de transmissão no porto de saída do filtro é semelhante à do porto de entrada. Quanto à reflexão, verifica-se que a resposta é bem distinta entre os dois portos, verificando-se uma maior desadaptação à saída.

Em primeiro lugar, como se pode atestar pela figura 6.2(a), conseguiu-se um filtro sintonizado nos 2 GHz como o pretendido. Obteve-se uma largura de banda conforme o esperado pelas simulações e testes efectuados anteriormente, pelo que se pode afirmar que esta versão modificada do filtro não influenciou este factor. Apesar de ter sido desenhado com uma arquitectura diferente, este filtro oferece um acoplamento para a frequência desejada, mas com perdas substancialmente maiores. Já seria de esperar algumas perdas no dieléctrico mas com certeza as perdas obtidas ocorrem por outros motivos.

Em termos de reflexão, as perdas à entrada são irrisórias (-0,017dB), já à saída são um pouco superiores (-0,41dB) mas mesmo assim não são muito elevadas. Pode-se concluir que as elevadas perdas observadas na transmissão não podem ser explicadas por desadaptação do filtro.

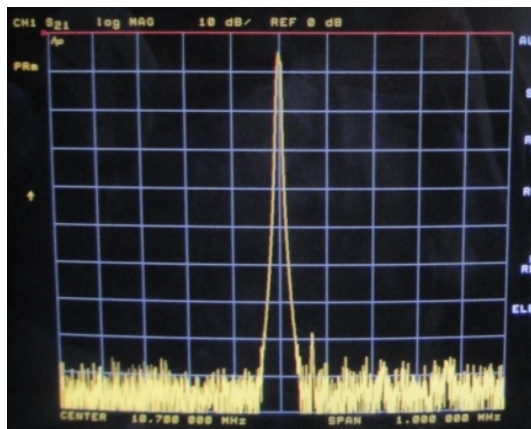


(a) S_{12}

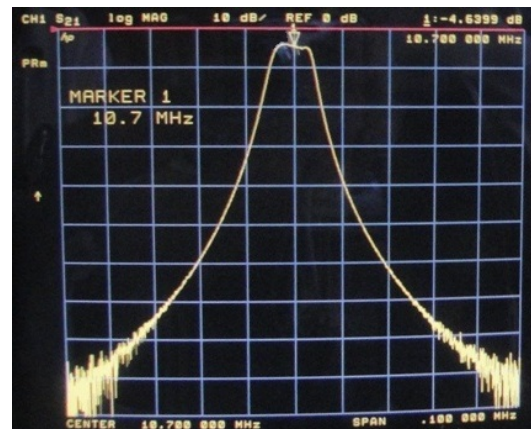


(b) S_{22}

Figura 6.3: Medição dos parâmetros S_{12} e S_{22} do filtro de linhas acopladas.



(a) *Span* de 1MHz.



(b) *Span* de 100kHz.

Figura 6.4: Medição do parâmetro S_{21} do filtro a cristal.

Assim, é possível afirmar que as elevadas perdas observadas no filtro, poderão dever-se a motivos de radiação.

Pode-se então concluir que, apesar do problema ocorrido na impressão do PCB, se conseguiu um filtro com características próximas do esperado. O problema das perdas elevadas na banda de passagem, pode ser compensado aumentando-se ligeiramente o ganho do sistema.

6.1.1.2 Filtro a Cristal

A metodologia utilizada para efectuar a medição das características deste filtro foi idêntica à do filtro de linhas acopladas. Ou seja, colocaram-se os cabos para medição exactamente antes da entrada do filtro e exactamente após a sua saída.

Foi feita a medição da resposta em frequência do filtro através do seu parâmetro S_{21} . Na figura 6.4 pode-se observar o aspecto da sua resposta, numa janela mais abrangente em termos de frequências (6.4(a)) e noutra mais reduzida (6.4(b)).

Constatou-se que o filtro apresenta uma largura de banda de 8kHz com atenuação na banda de

passagem de 4,6dB. Foi finalmente medido o parâmetro S_{11} e S_{22} , obtendo-se as respostas mostradas na figura 6.5.

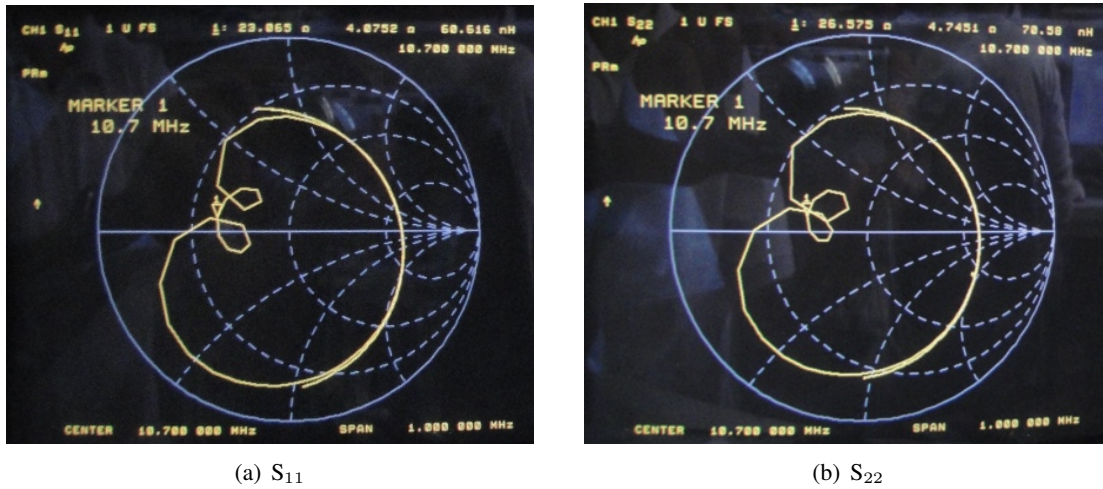


Figura 6.5: Medição do parâmetro S_{11} e S_{22} do filtro a cristal.

Pela figura 6.4(b), retira-se que a resposta do filtro não é muito plana. Isto deve-se a possíveis problemas na malha de adaptação do filtro. Basta a impedância de malha não ser a recomendada para que a banda de passagem apresente um *ripple* um pouco superior às especificações.

Em relação às perdas por reflexão, verificou-se que não são desprezáveis. Através dos devidos cálculos, chegou-se a um valor de -0,64dB de perdas por reflexão na entrada e -0,41dB na saída. Pode-se afirmar que os resultados obtidos para o filtro a cristal foram de acordo com o esperado. Era prevista uma largura de banda de aproximadamente 7kHz, o que se veio a verificar com um valor bastante próximo (8kHz). Os 4,6dB de atenuação também são satisfatórios uma vez que o valor habitual para este tipo de filtro ronda os 3dB. A ligeira discrepância é explicada pelas perdas por reflexão observadas.

6.1.2 Amplificação

Os testes relativos à amplificação foram efectuados em bloco, dividindo-se a parte de amplificação referentes à IF_1 da referente à IF_2 . Desta feita, foi introduzido um sinal imediatamente antes do primeiro amplificador de cada bloco, e efectuaram-se as medidas à saída do último amplificador.

Começou-se por efectuar os testes nos primeiros três amplificadores, relativos à IF_1 . Com um gerador de sinais introduziu-se no bloco, um sinal com -50dBm de potência, centrado nos 2GHz. A potência do sinal medida à saída foi de -8,4dBm. Efectuou-se também uma análise espectral do sinal mais alargada (até os 8GHz), de modo a testar a estabilidade dos amplificadores em toda a sua gama de funcionamento. Não se verificaram quaisquer outros sinais acima da potência de ruído.

O ganho acumulado esperado para este bloco é da ordem dos 42,7dB que corresponde à soma do ganho dos três amplificadores (18,5dB+20,8dB+13,1dB) subtraído da atenuação introduzida pelo filtro (-9,7dB). Pelos resultados obtidos, é possível afirmar que os amplificadores disponibilizam a amplificação esperada, uma vez que a discrepância entre os valores medidos e os valores esperados é de apenas 1,1dB.

Foi apurado também que os amplificadores não oscilavam. O facto de não haver oscilação garante desde logo a obtenção de um ganho próximo do previsto, e minimizar a possibilidade de não linearidade devido à saturação que habitualmente ocorre nesta condição.

De seguida passou-se à análise do segundo bloco de amplificadores (IF_2). Aqui, o sinal introduzido apresentava também uma potência de -50dBm mas com uma frequência de 10,7MHz.

O sinal medido à saída tinha uma potência de 1,5dBm. Neste bloco também não foi verificada instabilidade dos amplificadores.

O ganho acumulado esperado neste bloco é de 53dB que corresponde ao ganho dos três amplificadores (17,8dB+8,3dB+31,5dB) com a respectiva atenuação introduzida pelo filtro a cristal (-4,6dB). O ganho acumulado obtido é de 51,5dB que pode ser considerado um valor dentro do previsto. A diferença de 1,5dB relativamente ao esperado é residual.

Assim, através dos testes efectuados, é possível afirmar que todos os amplificadores do sistema funcionam como o previsto, ou seja, são estáveis para qualquer frequência, disponibilizando o ganho que lhes é exigido.

6.2 Placa Relativa à Unidade de Síntese

Será aqui feita uma análise qualitativa do desempenho da unidade de síntese. Efectuar-se-á a medição do desempenho do VCO em malha aberta e controlado na malha PLL. Será feita também uma análise do espectro do oscilador de referência OCXO.

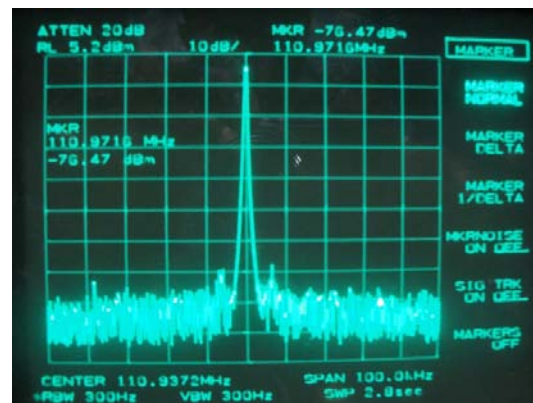
Começaram-se os testes utilizando um gerador de sinais como oscilador de referência para a PLL, de seguida trocou-se este elemento por um OCXO.

6.2.1 Análise dos Espectros Sintetizados

Antes do mais, resolveu-se efectuar uma análise da qualidade do sinal do OCXO. Foram feitas medições numa *span* mais alargado (fig.6.6(b)) e num *span* mais estreito (fig.6.6(a)).



(a) *Span* de 1kHz.



(b) *Span* de 100kHz.

Figura 6.6: Espectro do Oscilador a Cristal.

Como se pode ver, a frequência central é 110,9373MHz, valor que coincide com as especificações do dispositivo. Verificou-se também que o sinal gerado pelo OCXO é de boa qualidade como é exigido neste tipo de osciladores. É possível aferir que a risca gerada é bastante estreita o que implica um reduzido ruído de fase.

Para a medição precisa deste parâmetro seria necessário a utilização de equipamento específico, o qual não se encontra disponível nos laboratórios onde foi realizada a componente prática desta tese.

Não obstante, efectuou-se uma medida aproximada utilizando um *Span* bastante estreito(100Hz) e o RBW mínimo possível (2Hz), medida esta que pode ser vista na figura 6.7.

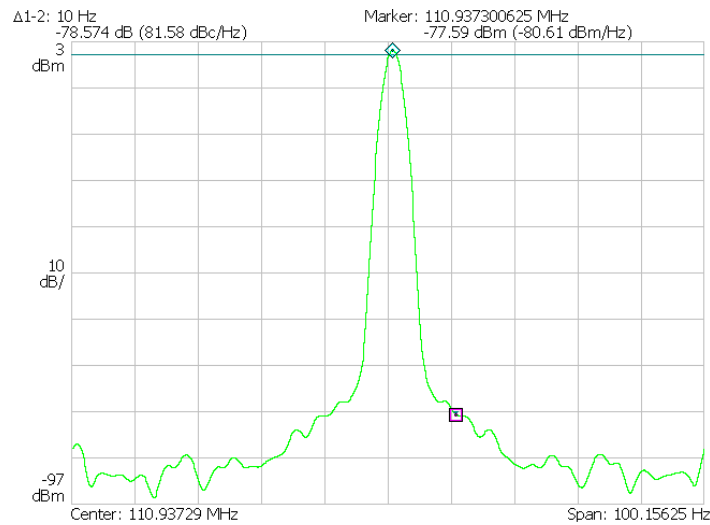


Figura 6.7: Espectro utilizado para a medição do ruído de fase do OCXO.

O ruído de fase visualizado é o ruído de fase pretendido, somado ao ruído de fase dos osciladores do aparelho de medida. Portanto, pode-se afirmar que o valor efectivo do ruído de fase nunca é pior que o valor medido. Das medições efectuadas obtiveram-se os valores expostos na tabela 6.1

Tabela 6.1: Valores medidos do Ruído de fase do OCXO

Offset(Hz)	Ruído de fase (dBc/Hz)
10	-78,57
20	-89,80
50	-93,00
100	-93,80
1000	-90,00

Como era de esperar os valores são muito baixos e ditam que o dispositivo respeita as exigências pressupostas.

Seguiu-se com a visualização do espectro do VCO, a funcionar em malha aberta. A imagem 6.8 foi capturada com um *span* bastante alargado, visto que, para um span mais estreito era impossível manter o pico de sinal centrado dentro da janela de análise.

Como era de esperar para este tipo de sintetizadores, a risca do sinal sintetizado é mais alargada do que a obtida no OCXO. Uma vez que o VCO não está sintonizado, a sua frequência de saída não se mantém fixa. Pequenas oscilações na temperatura levam a que este tenha desvios de frequência significativos. Nota-se, com esta RBW, que a potência do sinal está contida em sensivelmente 5kHz.

Agora, as medidas serão efectuadas ao sinal da unidade de síntese a funcionar como um todo, ou seja, com a malha fechada: VCO sincronizado com a referência.

Os espectros mostrados nas imagens 6.9(a) e 6.9(b) referem-se ao sinal retirado à saída da PLL, tendo esta como referência, um sinal proveniente de um gerador de frequências.

Das imagem pode-se retirar que o espectro apresenta inúmeras espúrias. As mais importantes são duas bandas laterais com 100Hz de desvio de frequência central com uma potência apenas 20dB abaixo. Uma vez que este sinal será utilizado como LO do sistema, estas espúrias poderiam originar

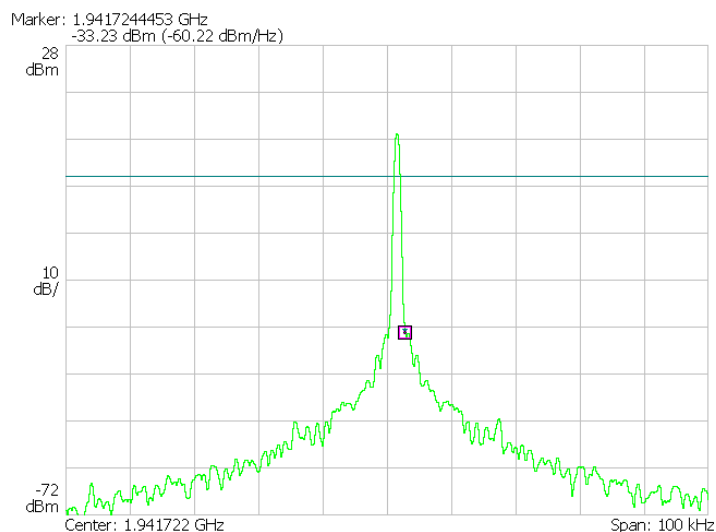
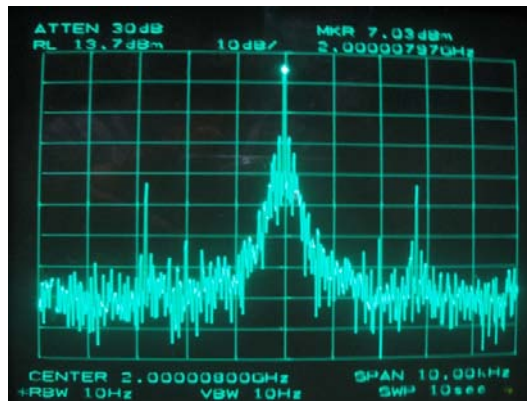


Figura 6.8: VCO "livre".



(a) *Span* de 1kHz.



(b) *Span* de 10kHz.

Figura 6.9: Espectro do VCO tendo o gerador de sinais como referência.

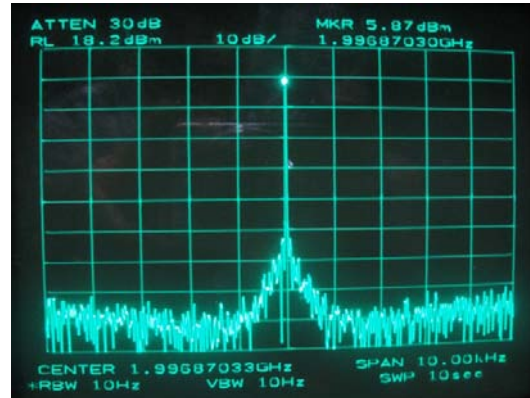
problemas na conversão da frequência.

Decidiu-se então trocar o oscilador de referência da PLL anterior pelo OCXO, de modo a tentar averiguar se ocorreria algum melhoramento no espectro do sinal. Nas imagens 6.10(a) e 6.10(b) podem-se observar os novos espectros obtidos para diferentes *spans* de visualização. A figura 6.11 apresenta o espectro num *span* ainda mais alargado medido com um analisador de espectros diferente (8753D).

Com a utilização do OCXO como oscilador de referência, verifica-se que o sinal se encontra muito mais limpo, livre das indesejadas espúrias. Isto leva a crer que as impurezas anteriormente visualizadas advinham do próprio gerador de sinais que tem um processo de síntese complexo. Ainda assim, observam-se alguns pequenos picos para frequências mais afastadas da fundamental, tais como aos 2,5kHz e aos 12,5kHz. Estas pequenas espúrias eram esperadas e devem-se ao método de síntese desta PLL. Mais especificamente, estas espúrias são originadas no processo de obtenção do valor de N (*fractional*), dependendo portanto da frequência que está a ver gerada. Uma vez que as referidas espúrias se encontram já relativamente afastadas da frequência central e a sua potência é muito reduzida, não trarão problemas ao sistema.

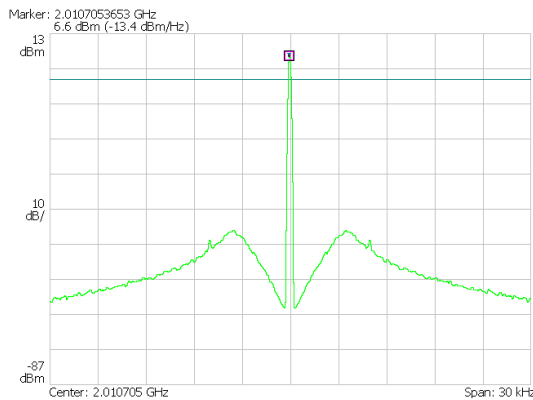


(a) *Span* de 1kHz.

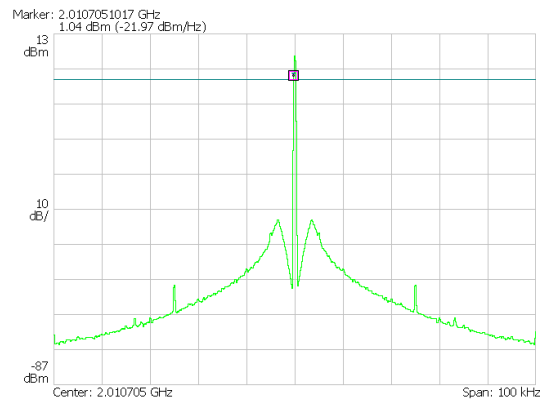


(b) *Span* de 10kHz.

Figura 6.10: Espectro do VCO tendo o OCXO como referência.



(a) *span* de 30kHz



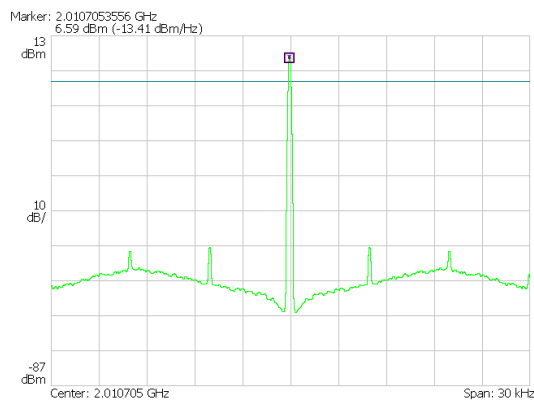
(b) *Span* de 100kHz.

Figura 6.11: Espectro do VCO tendo o OCXO como referência (*spans* mais alargados).

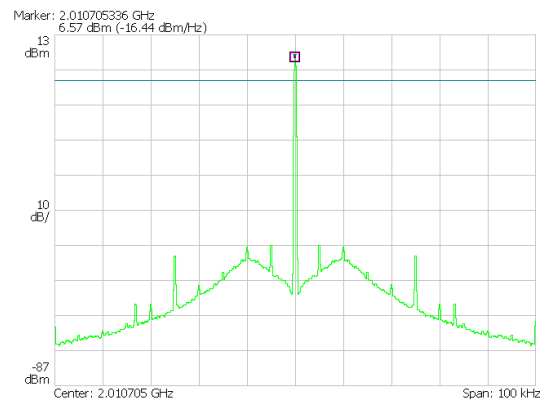
Pode perceber-se da figura 6.11(a) que existem dois lóbulos no espectros. Pensa-se que estes lóbulos devem-se ao facto do filtro de malha ter uma resposta diferente da esperada. Do espectro observado, conclui-se que o filtro apresenta uma resposta sub-amortecida bastante acentuada. Para uma frequência distante da portadora (cerca de 10kHz) o ruído de fase tende ao do VCO livre pois a malha já não actua nesta zona.

Tentou-se alterar empiricamente a função de transferência, e consequentemente a função de erro, de modo a suavizar o espectro até à largura de banda prevista de 10kHz. Note-se porém que estes dois lóbulos são uma combinação dos efeitos da malha e da densidade espectral do ruído de fase do VCO. Modificaram-se portanto alguns valores dos componentes do filtro. Para um R_2 de 470Ω conseguiu-se um espectro muito mais aceitável.

Como se pode observar na figura 6.12, os lóbulos passaram a ficar muito menos pronunciados, como se pretendia. No entanto, nota-se que o novo filtro apresenta menor atenuação de espúrias, uma vez que estas são mais evidentes. Ainda assim, a potência apresentada pelas espúrias é muito baixa relativamente ao sinal ($\pm 56\text{dB}$), pelo que não trarão problemas ao sistema. Na figura 6.13, é evidente a modificação dos espectros com a alteração do filtro de malha. O filtro tornou-se muito mais plana na banda de passagem, originando uma resposta mais suave (espectro a verde) mas com espúrias mais pronunciadas. Repare-se que as figuras se intersectam a cerca de 8kHz, e a nova malha exhibe



(a) *span* de 30kHz



(b) *Span* de 100kHz.

Figura 6.12: Espectro do VCO tendo o OCXO como referência (após alteração no filtro de malha).

uma maior largura de banda. Uma otimização mais criteriosa pode ser tentada variando também os condensadores da malha. A montagem de um pequeno suporte provisório junto à placa onde se possam colocar os sucessivos componentes facilitará as próximas tentativas.

Decidiu-se então aceitar esta nova implementação do filtro, sem rejeitar porém, uma possibilidade futura da sua otimização. Essa otimização acarretaria um bom compromisso espúrias - ruído *in band*.



(a) *span* de 30kHz



(b) *Span* de 100kHz.

Figura 6.13: Comparação dos espectros para os dois filtros de malha.

Aqui, mais uma vez, efectuou-se a estimação do ruído de fase. É um valor aproximado mas permite ter uma ideia daquilo que se pode esperar para o sinal sintetizado (fig.6.14). As medições ditaram os valores mostrados na tabela 6.2.

São valores claramente mais elevados que os retirados do OCXO, o que era inevitável, pois o sinal de referência é sempre degradado aquando da síntese na PLL (se aumentada a frequência). Fazendo uma aproximação simplista, era de esperar que o sinal se degradasse em termos de ruído de fase em $20\log(N)$. Neste caso, o N é de aproximadamente 18, o que implica uma degradação de 25dB (3ª coluna da tabela 6.2. Tomando por exemplo os ruídos de fase @ 10Hz em ambos os casos, facilmente se retira que é efectivamente uma degradação desta ordem que se verifica na prática. Pode-se afirmar que essencialmente a potência está contida numa largura de 10Hz.

De relembrar que todos estes valores representam também o ruído de fase introduzido pelo

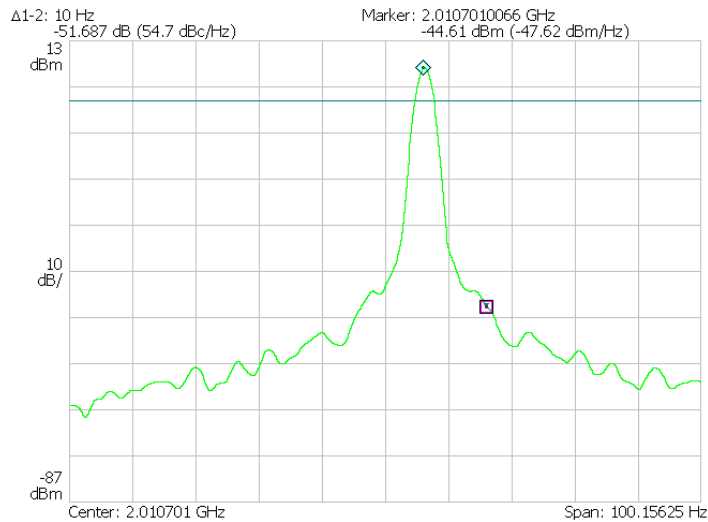


Figura 6.14: Espectro utilizado para a medição do ruído de fase do sinal sintetizado.

Tabela 6.2: Valores medidos do ruído de fase da PLL

Offset(Hz)	Ruído de fase (dBc/Hz)	$L_{OCXO} + 20\log(N)$ (dBc/Hz)
10	-51,69	-53,4
20	-61,60	-64,6
50	-70,12	-67,8
100	-74,70	-68,6
1000	-75,03	-64,8

analisador, pelo que o ruído de fase do sinal sintetizado é, na realidade, um pouco melhor.

Em suma, poderá inferir-se que o valor conseguido é suficiente para garantir que o sinal recebido não seja degradado. Isto porque se obteve um sinal de LO com ruído de fase inferior ao que se espera para o sinal recebido (-60dBc/Hz @ 100Hz).

É importante mencionar também a potência do sinal gerado pela unidade após o amplificador. É um sinal com uma potência de aproximadamente 6dBm. Este valor é bastante baixo relativamente ao valor esperado, apresentando uma disparidade de quase 6dB. O motivo mais provável para esta discrepância tem que ver com um problema de *layout*. Pensa-se que o amplificador não fornece o ganho exigido, por motivos de falta de uma boa massa. Para colmatar este problema ter-se-ia que construir uma outra PCB com passagens para a massa mais abundantes.

Decidiu-se continuar os testes normalmente, para verificar se os misturadores conseguiriam funcionar adequadamente com uma potência de LO mais baixa.

6.3 Análise Geral

Finalmente, neste ponto foi possível fazer uma análise do sistema a funcionar como um todo, ou seja, interligaram-se as duas placas (placa relativa à IF₁/IF₂ e unidade de síntese) de modo a testar o seu comportamento cascadeado. Nas imagens A.6 e A.7 em anexo, pode-se ver a montagem global do sistema.

6.3.1 Rejeição de Imagem no Misturador

Aqui será testada a rejeição de imagem do misturador responsável pela conversão para a IF_2 . Recorreu-se a um gerador de sinal e à unidade de síntese implementada neste projecto. O gerador de sinais funcionará como sinal de testes e a unidade de síntese será o LO a 2,0107GHz.

Tentou-se reproduzir a frequência imagem através de um sinal de teste, de modo a verificar a sua efectiva atenuação. Neste sistema, a frequência imagem encontra-se a 2,0214GHz uma vez que misturada com o mesmo LO, também gera o IF_2 de 10,7MHz. O que se fez foi testar a potência do sinal à saída para um sinal de entrada de 2GHz e de 2,0214GHz.

Primeiramente, introduziu-se um sinal de teste a 2GHz, e obteve-se à saída um sinal com 3dBm de potência. De seguida, utilizou-se um sinal a 2,0214GHz com o mesmo valor de potência e mediu-se à saída uma potência de sinal de -13dBm. Desta análise facilmente se retira que o misturador oferece uma atenuação para a frequência imagem de 16dB. O valor de 16dB corresponde a 0.025 de injeção adicional de potência de ruído no sinal, ou seja, degrada a CNR em $10\log(1,025)=0,11\text{dB}$ que é praticamente insignificante.

O valor de atenuação da imagem obtido é consideravelmente elevado, pelo que se pode afirmar que o misturador de rejeição de imagem funciona conforme o esperado. Assim, com este elemento, a potência de ruído na frequência de imagem não se adiciona significativamente ao da frequência útil.

6.3.2 Espectro de Saída

De modo a testar a resposta do sistema, introduziu-se um sinal de teste à sua entrada efectuando-se a sua medição à saída. Escolheu-se uma potência de -81dBm para o sinal de entrada de maneira a tentar simular a potência que se espera do sinal recebido do satélite, neste ponto. As medições à saída podem ser vistas na figura 6.15.

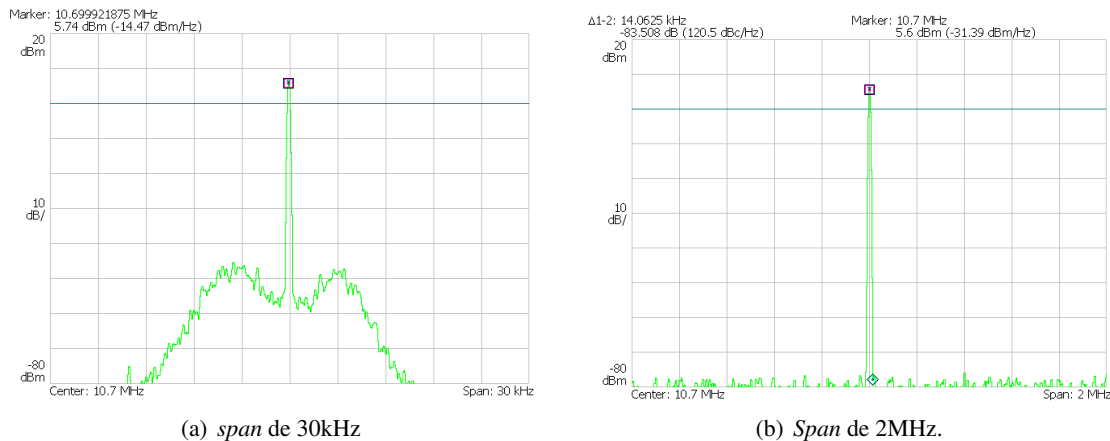


Figura 6.15: Espectro de saída do sistema.

Na imagem 6.15(a) está bastante evidente a filtragem do filtro a cristal. O espectro aí apresentado corresponde ao sinal e a todo o ruído envolvente, na banda de passagem do filtro a cristal de 8kHz. O sinal apresenta uma potência na ordem dos 6dBm, valor que já era mais ou menos previstos. Consoante os ganhos dos amplificadores previamente testados, as atenuações existentes nos filtros e as perdas de conversão no IRM, era de esperar que o valor de saída tivesse esta grandeza.

De mencionar os dois lóbulos verificados em redor da risca de sinal. Estes lóbulos advêm da filtragem no filtro a cristal que não é plana, e do sinal de LO gerado na unidade de síntese. Pode-se

afirmar que os lóbulos verificados no sinal sintetizado pela PLL (fig. 6.11(a)), repercutem-se no espectro do sinal de saída. Mas estas medições foram efectuadas antes de serem feitas as alterações mencionadas em 6.2.1, pelo que estes referidos lóbulos vieram a tornaram-se muito menos evidentes.

A imagem 6.16 apresenta a janela de detecção do sinal da interface principal do software de detecção, análise e seguimento de sinal desenvolvida em [45]. O espectro analisado representa o sinal proveniente do sistema desenvolvido neste projecto, tendo como entrada o referido sinal de $-81dBm$ a $2GHz$.

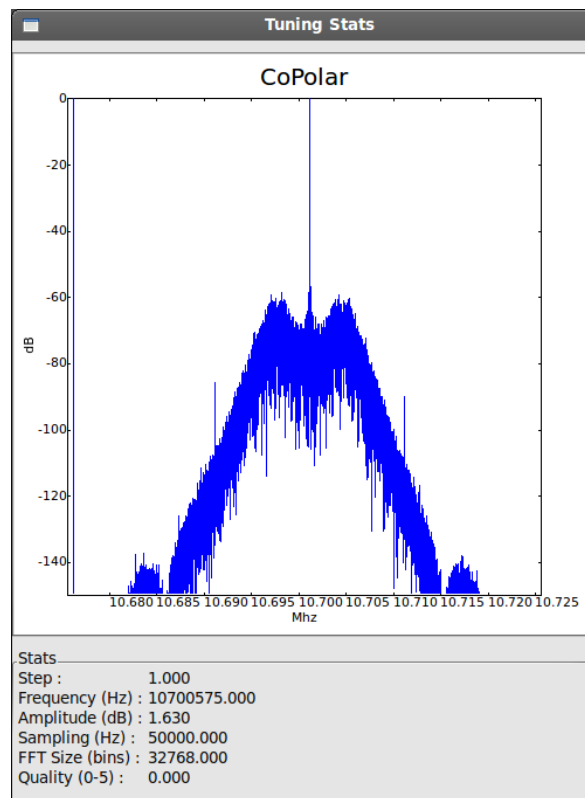


Figura 6.16: Janela de Visualização do sinal amostrado no USRP.

O sinal utilizado para testes não é uma réplica fiável do sinal que será recebido efectivamente, uma vez que apresenta níveis de ruído substancialmente mais baixos. Apesar disso, os testes efectuados, deixaram boas perspectivas para a viabilidade do sistema na recepção do sinal proveniente do *beacon*.

6.3.3 Linearidade

De modo a testar a linearidade do sistema, efectuaram-se os testes adequados. Recorreu-se a um sintetizador de frequências para simular o sinal de entrada e mediu-se o sinal de saída através do software de análise do **USRP** anteriormente referido. O que se fez foi ir incrementando a potência de entrada do sinal injectado e observar a potência do sinal à saída. Efectuou-se uma medição com sinais de entrada a variar unitariamente desde os $-115dBm$ aos $-80dBm$. No gráfico da figura 6.17 é possível observar a potência de saída *vs* a potência de entrada. No mesmo gráfico, é possível ver também a recta representativa da regressão linear às medidas efectuadas. Esta regressão devolveu os seguintes parâmetros: $m=0,9927$; $b=84,77$; $r^2=0,9999$.

Facilmente se retira, pela comparação da recta de linearização e dos valores medidos, que o sistema

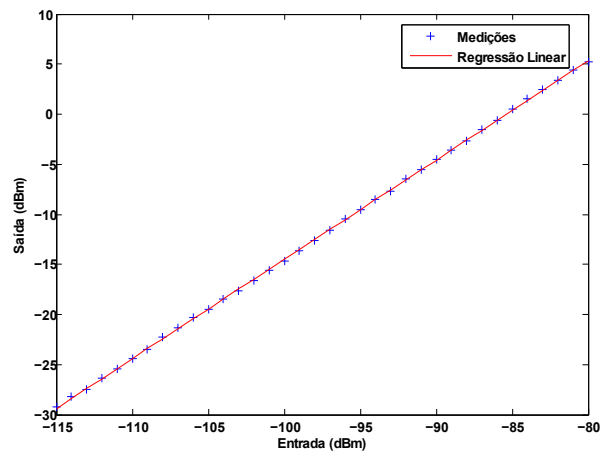


Figura 6.17: Teste de linearidade do sistema completo.

funciona de um modo bastante linear, já que os valores medidos se encontram praticamente sobrepostos à recta de linearização. Para comprovar isto, temos o valor de r^2 que é muito próximo de 1.

Portanto, como era de esperar, para tensões de entrada até os -80dBm e uma gama de 35dB , nenhum dos elementos do sistema atinge o ponto de compressão de 1dB , pelo que o sistema garante uma linearidade muito satisfatória.

Capítulo 7

Conclusões e Trabalho Futuro

Nesta fase, com o trabalho concluído, poderá afirmar-se que os objectivos inicialmente propostos foram, de um modo geral, atingidos.

Relativamente à placa de IF, conseguiram-se resultados conforme o exigido, tanto a nível de amplificação do sinal como de filtragem nas IF. Também o mixer de rejeição de imagem aqui desenvolvido conseguiu atingir desempenhos muito satisfatórios. A placa dedicada ao tratamento do sinal CX não foi montada, mas uma vez que esta será exactamente igual à placa para o sinal CO, a sua viabilidade é garantida.

Quanto à unidade de síntese, também é possível dizer que se conseguiu alcançar todas as metas pré-estabelecidas. Obteve-se uma síntese de frequências com ruído de fase suficientemente baixo para as especificações, e com uma gama de frequências com a resolução pretendida.

Pode-se então concluir que o sistema global implementado cumpre as especificações exigidas, podendo vir a ser utilizado aquando da experiência prática no qual está incluído.

Esta tese permitiu também a aquisição de conhecimentos a nível mais aprofundado na área das comunicações por satélite e de electrónica de RF em geral. A síntese de frequência através de PLL é também outra área à qual se ganhou bastantes conhecimentos. A nível prático, este projecto foi também muito enriquecedor, isto porque, com o aparecimentos dos vários problemas e a sua resolução, foi-se tendo uma noção mais prática desta área. De referir as dificuldades ocorridas na fase inicial por inexperiência, nomeadamente os problemas na primeira implementação das placas de IF. Estes problemas deveram-se essencialmente ao facto de não se ter respeitado com rigor o *layout* exigido pelos fabricantes dos componentes. Com o evoluir do projecto, conseguiu-se um progresso assinalável a este e outros níveis.

Conclui-se que as competências aqui adquiridas são de grande importância no desenvolvimento de outros projectos.

Pensando em termos futuros, podem ainda ser introduzidos outros mecanismos ou melhoramentos ao sistema em questão:

- Montagem e testes da placa relativa ao sinal CX;
- Teste mais completos com ruído de amplitude. Sendo o sinal de entrada relativamente baixo, basta alguns amplificadores de 2GHz em cascata a gerar a densidade espectral de ruído necessária, à falta de um gerador de ruído apropriado;
- Teste do isolamento entre as placas de CO e CX;
- Efectuar testes de estabilidade-temperatura tanto em termos de se fase como de amplitude;

- Optimização, a nível de perdas do filtro passa-banda da 1ª IF;
- Introdução de um atenuador digital de forma a ter-se algum controlo da potência do sinal de saída;
- Optimização do filtro de 10,7MHz na malha de adaptação, e conseguir uma resposta mais plana em frequência.
- Inclusão de uma DDS na placa de síntese de frequências, com programação pelo **USRP**;
- Substituição do *chip* PLL pelo **ADF4157**, que permite uma síntese de frequência com resolução mais fina;
- Redimensionamento da placa relativa à unidade de síntese de modo a colmatar-se o problema da falta de ganho no amplificador;
- Optimização da largura de banda do filtro de malha do sintetizador;
- Encerramento das PCB's em caixas, de modo a ficarem protegidos de interferências externas;
- Uma vez que se ganhou uma certa confiança com sucesso verificado para o sistema, pensa-se também em miniaturizar tanto a placa de IF como a placa da unidade de síntese.

São modificações que apesar de não serem essenciais ao sistema, poderiam introduzir entre outros factores, mais alguma versatilidade.

Bibliografia

- [1] *AlphaSat*. <http://telecom.esa.int/telecom/www/object/index.cfm?fobjectid=26445>, Acedido em Novembro de 2009.
- [2] *Analogue or digital in PLL design*. <http://www.electronicweekly.com/Articles/2007/11/08/42575/analogue-or-digital-in-pll-design.htm>, Acedido em Novembro de 2009.
- [3] *Catalog of Earth Satellite Orbits*. <http://earthobservatory.nasa.gov/Features/OrbitsCatalog/>, Acedido em Novembro de 2009.
- [4] *Satellite Orbits*. <http://asd-www.larc.nasa.gov/SCOOl/orbits.html>, Acedido em Novembro de 2009.
- [5] *Satellite Orbits*. http://en.citizendium.org/wiki/Satellite_orbits, Acedido em Novembro de 2009.
- [6] *Telecommunications: Glossary of Telecommunication Terms*. General Services Administration, 1996.
- [7] *Synthesizer Products Data Book*. Qualcomm, Inc., 1997.
- [8] *Application Note: Characterizing Phase Noise*. Mini-Circuits, 1999.
- [9] *A Technical Tutorial on Digital Signal Synthesis*. Analog Devices, Inc., 1999.
- [10] *Understanding VCO Concepts*. Mini-Circuits, 1999.
- [11] *Anik F2 Satellite Contract-Attachment 2-Spacecraft Technical specification*. Telesat, 2001.
- [12] *RF Design Guidelines: PCB Layout and Circuit Optimization*. SEMTECH, 2006.
- [13] *Image Rejection Mixer*. RF Technology Lab, 2007.
- [14] *Alphasat TDP5 Scientific Experiment- Link Budget Analysis*. ESA, 2008.
- [15] S. R. Al-Araji, Z. M. Hussain, and M. A. Al-Qutayri. *Digital Phase Lock Loops*. Springer, 2006.
- [16] J. Ardizzoni. *A Practical Guide to High-Speed Printed-Circuit-Board Layout*. Analog Devices, 2005.
- [17] D. Banerjee. *PLL Performance, Simulation and Design*. 4rd edition, 2004.
- [18] D. Banerjee. *Application Note 1865-Frequency Synthesis and Planning for PLL Architectures*. National Semiconductor, 2008.

- [19] D. Banerjee, D. Brown, and K. Nguyen. *Loop Filter Optimization*. National Semiconductor, 2001.
- [20] R. E. Best. *Phase-Locked Loops, Design, Simulation and Applications*. McGraw-Hill Professional Publishing, 4th edition, 1999.
- [21] B. Brannon. *Basics of Designing a Digital Radio Receiver*. Analog Devices, 2001.
- [22] B. B. C. J. (Keith) Kikkert and G. H. Allen. Satellite beacon receiver improvement using digital signal processing. *Fourth International Symposium*, 2:517–520, Agosto 1996.
- [23] J. J. Carr. *RF Components and Circuits*. Newnes, 1st edition, 2002.
- [24] K. Cornelis, B. B. Thorpe, and O. Teong. *A DSP Based Satellite Beacon Receiver and Radiometer*. 1998.
- [25] K. Davies. *Recent Progress in Satellite Radio Beacon Studies with Particular Emphasis on the Ats-6 Radio Beacon Experiment*. Springer Netherlands, 1980.
- [26] N. B. de Carvalho. *Electrónica de RF- Ruído*. 2002.
- [27] R. L. M. de Sousa. *Receptor Digital para Medição de Balizas de Satélite*. Tese de Mestrado em Eng. Electrónica e Telecomunicações, 2007.
- [28] F. Dowla. *Handbook of RF and Wireless Technologies*. Elsevier, Inc, 2004.
- [29] W. F. Egan. *Frequency Synthesis by Phase Lock*. John Wiley & Sons, Inc, 2nd edition, 1999.
- [30] B. R. Elbert. *The satellite communication applications handbook*. Arthec House Publishers, 2nd edition, 1999.
- [31] J. Everard. *Fundamentals of RF Circuit Design with Low Noise Oscillators*. John Wiley & Sons, Inc, 2001.
- [32] F. M. Gardner. *Phaselock techniques*. John Wiley and Sons, 1966.
- [33] K. Gentile, D. Brandon, and T. Harris. *Direct Digital Synthesis Primer*. Analog Devices, 2003.
- [34] B.-G. Goldberg. *Digital Frequency Synthesis Demystified*. LLH Technology Publishing, 1999.
- [35] A. Hajimiri and T. H. Lee. *The Design of Low Noise Oscillators*. Kluwer Academic Publishers, 1999.
- [36] B. C. Henderson and J. A. Cook. *Image-Reject and Single-Sideband Mixers*. Watkins-Johnson Company, 1985.
- [37] G.-C. Hsieh and J. C. Hung. Phase-locked loop techniques-a survey. *IEEE Xplore*, 43:609–615, Dezembro 1996.
- [38] R. D. Kaul and R. G. Wallace. *Propagation Effects Handbook for Satellite Systems Design*. National Aeronautics and Space Administration, Scientific and Technical Information Branch, 2nd edition, 1981.
- [39] C. J. Kikkert and O. P. Kenny. A digital signal processing based ka band satellite beacon receiver. *15th IEEE International Conference*, pages 598–601, Setembro 2008.

- [40] H. Krauss, C. Bostian, and F. Raab. *Solid State Radio Engineering (Capítulo 3)*. John Wiley and Sons, 1980.
- [41] V. F. Kroupa. *Principles of Phase Locked Loops(PLL)(Tutorial)*. 2004.
- [42] W. C. Lindsey and C. M. Chie. A survey of digital phase-locked loops. *IEEE Xplore*, 69:410–431, Abril 1981.
- [43] E. Murphy and C. Slattery. *All About Direct Digital Synthesis*. Analog Devices, 2004.
- [44] A. Note-Mini-Circuits. *Biasing MMIC Amplifiers*. 2009.
- [45] E. Ornelas. *Software GNU Radio para Detector Digital de Sinais CW com baixa SNR*. Tese de Mestrado em Eng. Electrónica e Telecomunicações (submetida), 2009.
- [46] M. R. W. Paul A. Bernhardt, Carl L. Siefring. Multi-frequency satellite beacons and receivers for ionospheric irregularity imaging. *10th IET International Conference*, pages 198–201, Julho 2006.
- [47] J. C. Pedro. *Electrónica de Rádio Frequência - Textos de Apoio*. 1995.
- [48] P. G. Pino, J. M. Garcia, and A. Benarroch. Tropospheric scintillation measurements on a ka-band satellite link in madrid. *URSI*, 2008.
- [49] J. A. Q.W. Pan and C. Tsui. Evidence of atmospheric tides from satellite beacon experiment. *Electronics Letters*, pages 706–707, Junho 2006.
- [50] U. Rohde and J. Whitaker. *Communications Receivers: DSP, Software Radios, and Design*. Mc Graw-Hill Telecommunications, 3rd edition, 2004.
- [51] R. Sousa, A. Pires, A. Rocha, and A. Moldovan. Detector digital para balizas de satélite: Desenvolvimentos recentes. *XXII URSI National Symposium (Spain), Tenerife, Spain, Vol. on CD Paper p58*, Setembro 2007.
- [52] D. R. Stephens. *Phase-Locked Loops For Wireless Communications-Digital, Analog and Optical Implementations*. Kluwer Academic Publishers, 2nd edition, 2002.
- [53] I. T. Union. *Handbook on Satellite Communications*. Wiley-Interscience, 3rd edition, April 2002.
- [54] M. A. Wickert. *Phase-Locked Loops with Applications*. ECE 5675/4675, 2006.

Apêndice A

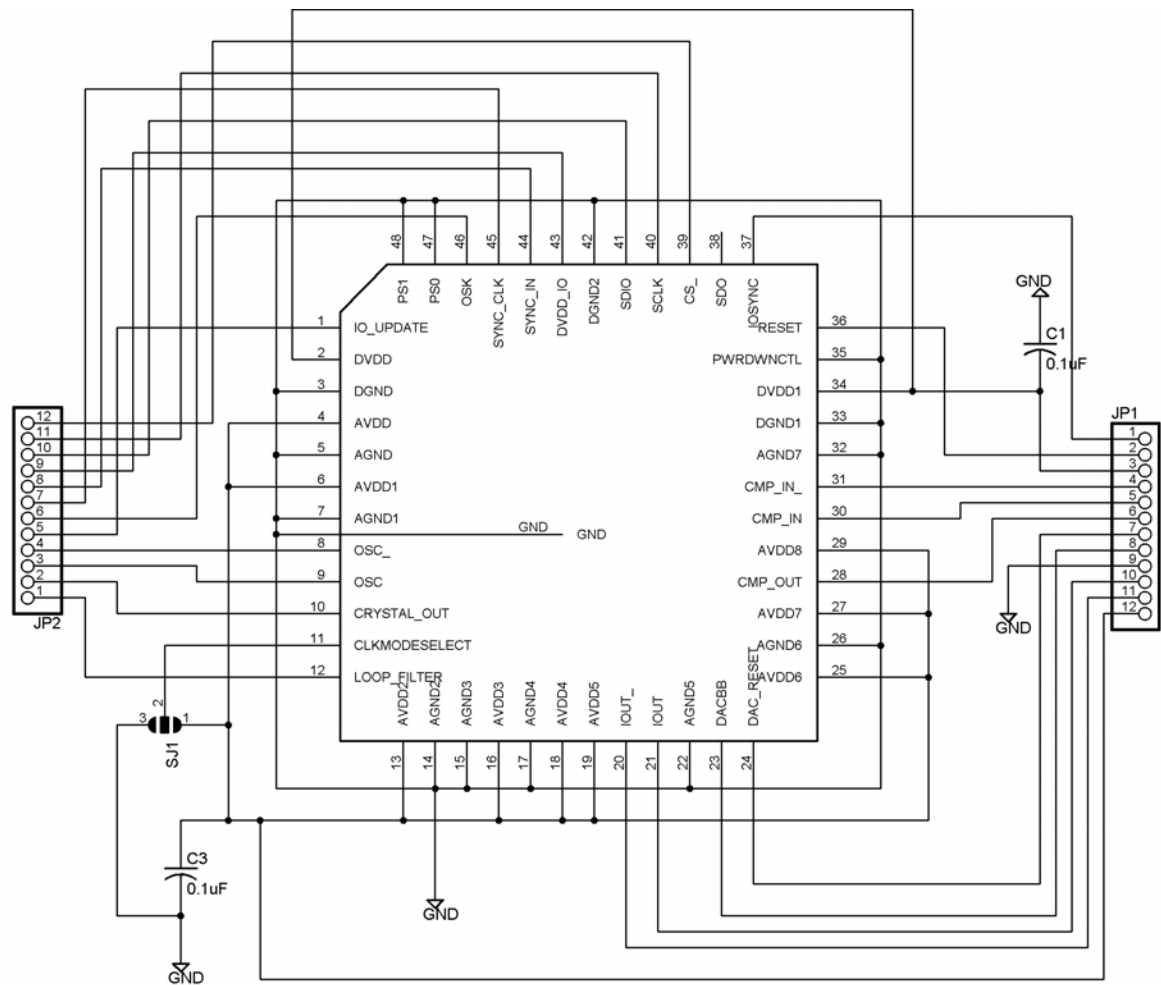


Figura A.1: Esquemático da *daughterboard* da DDS.

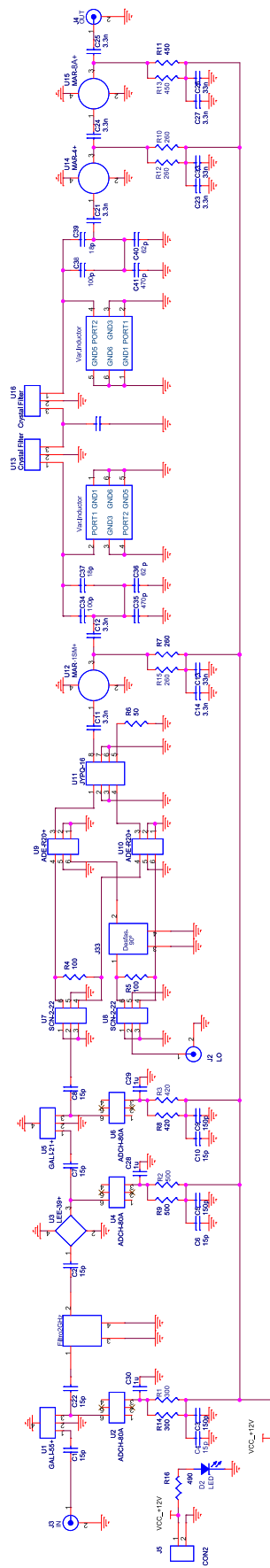


Figura A.2: Esquemático das placa de condicionamento de sinal.

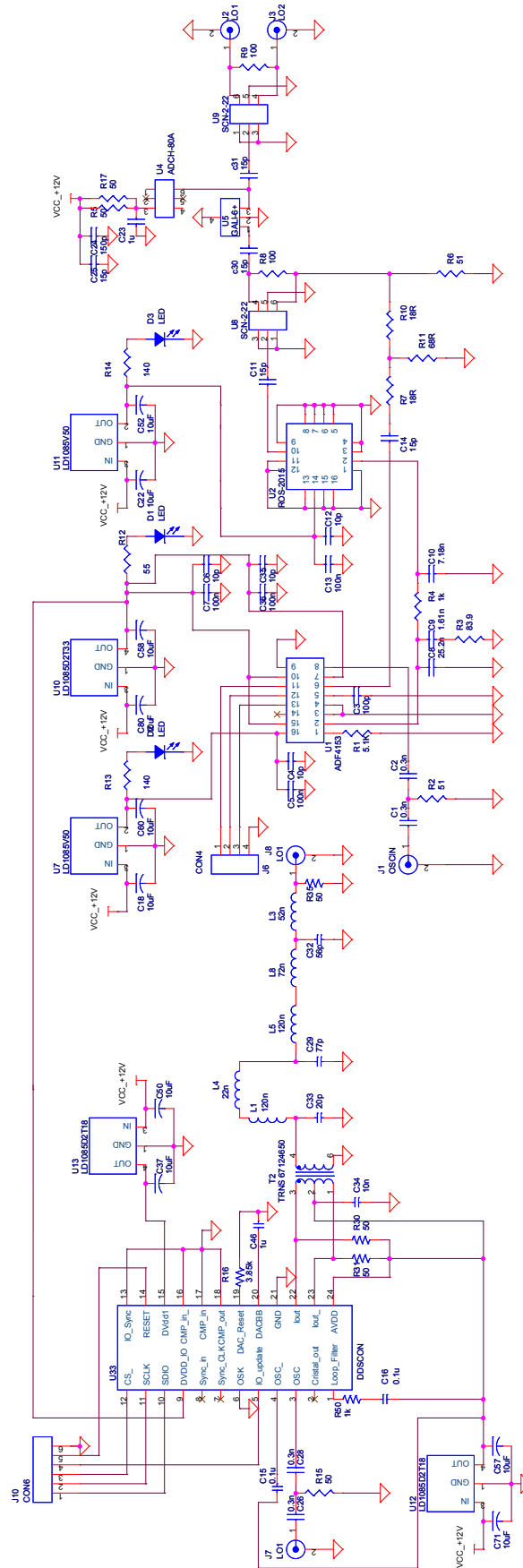


Figura A.3: Esquemático da placa relativa à unidade de síntese.

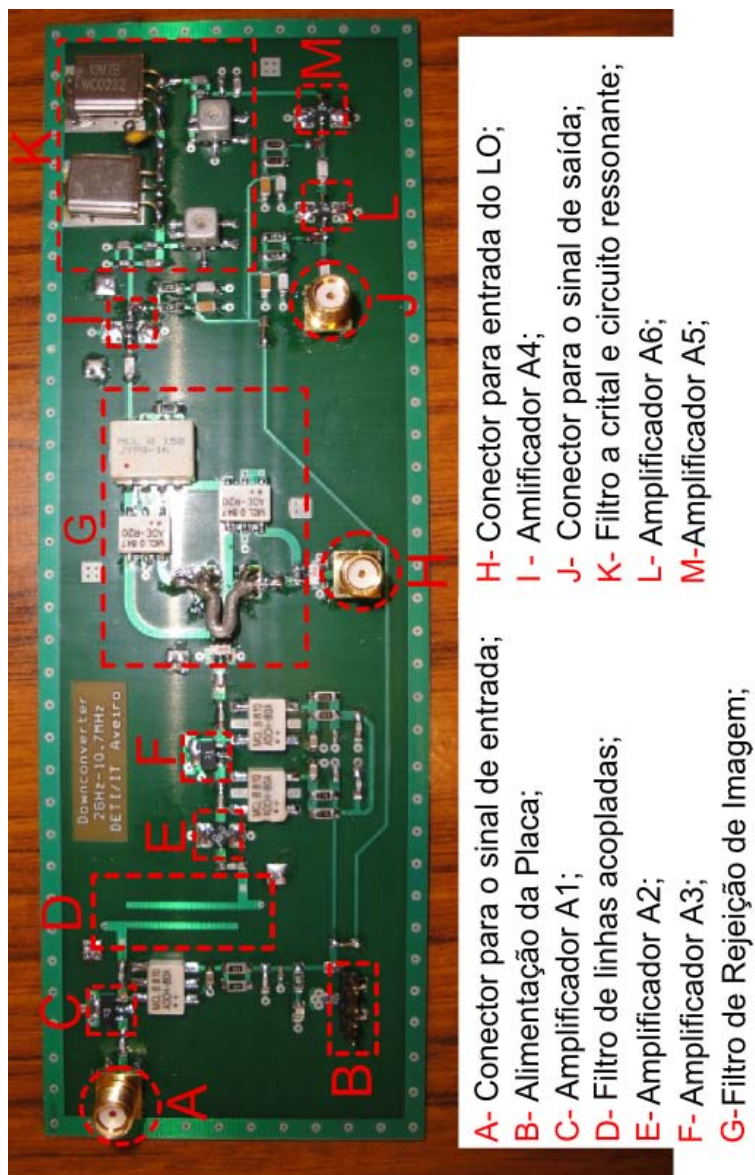


Figura A.4: Disposição dos elementos na placa de condicionamento de sinal.

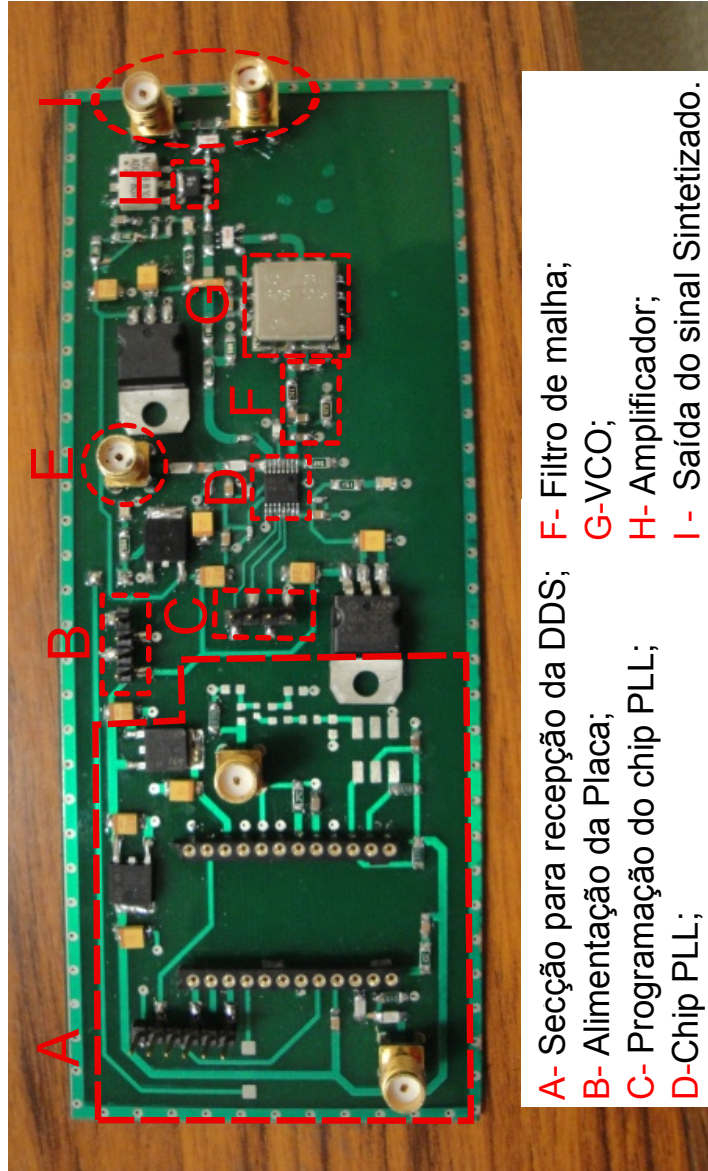


Figura A.5: Disposição dos elementos na placa relativa à unidade de síntese.

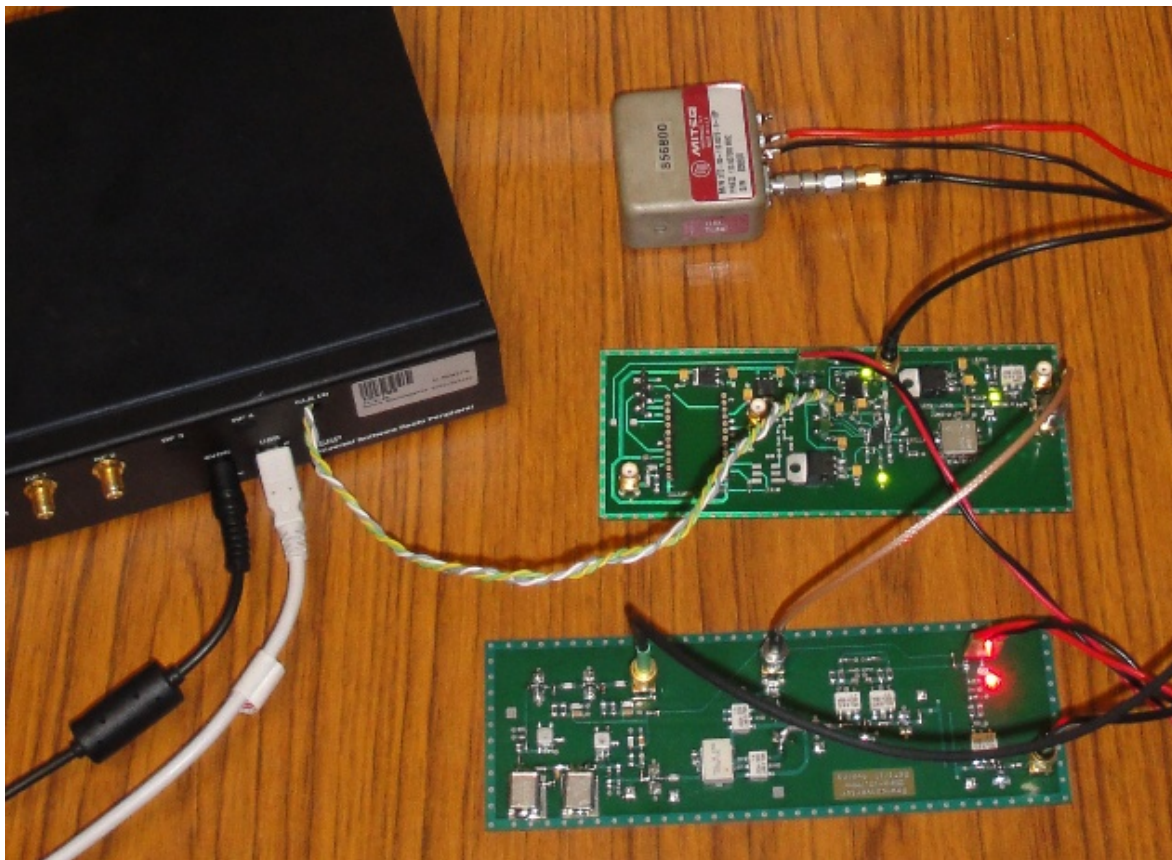


Figura A.6: Montagem completa das placas com o Oscilador de referência (OCXO) e **USRP**.

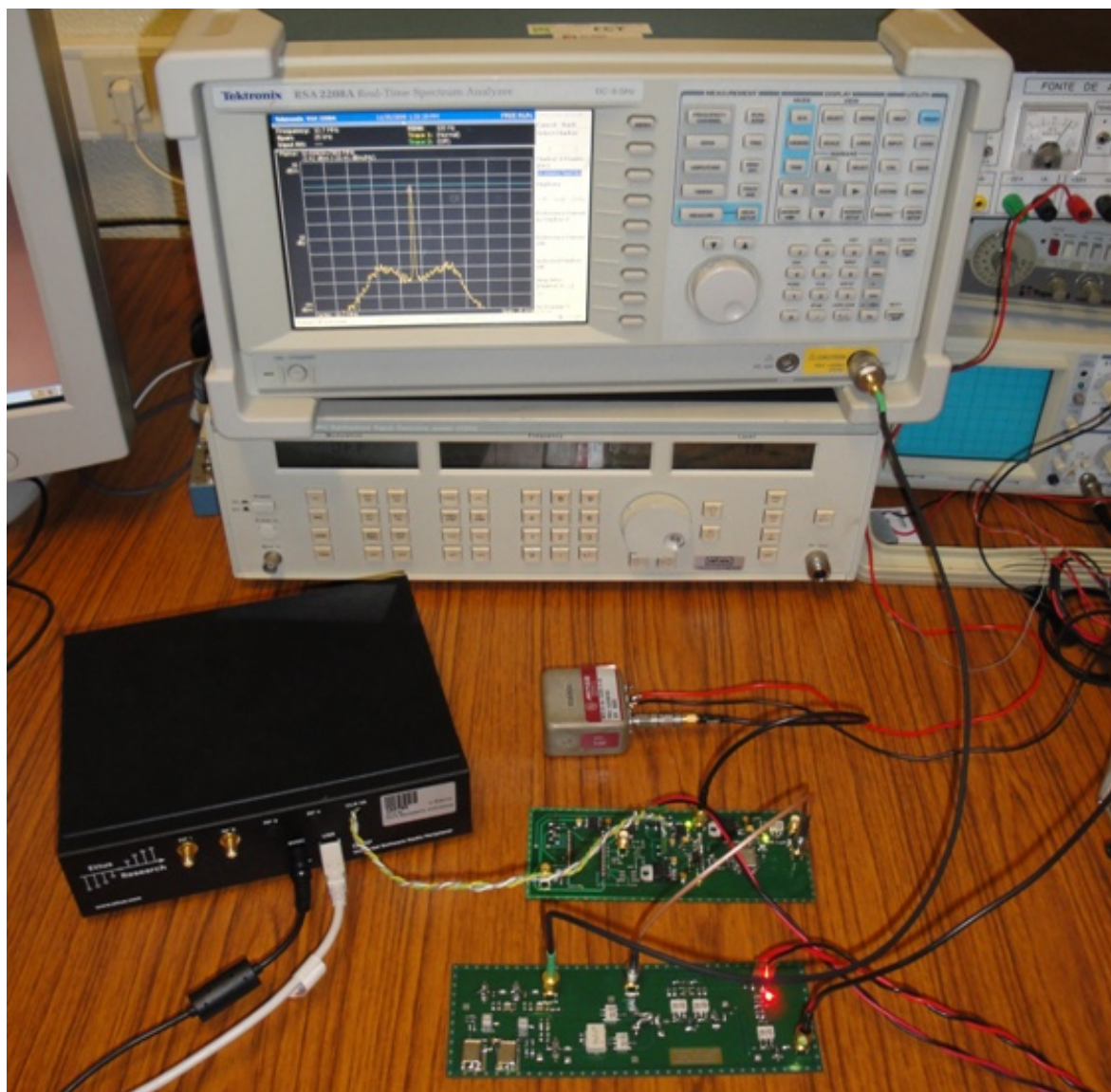


Figura A.7: Visão global do sistema completo, e respectiva medição do espectro de saída.